

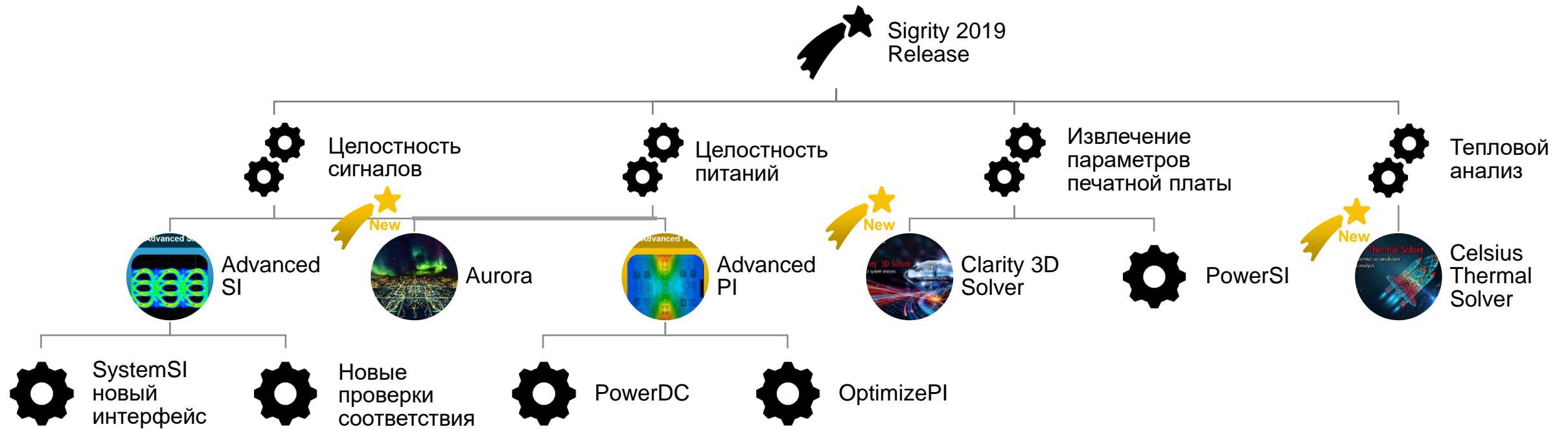
Sigrity 2019: Обзор релиза

Brad Griffin, Product Management Group Director
October, 2019

Sigrity 2019: Дата релиза – 31 октября 2019

- **Полный релиз Sigrity 2019** содержится в 2 дистрибутивах
 - Sigrity 2019 (Целостность питания, Экстракция, Тепловое моделирование)
 - Allegro/OrCAD SPB 17.4 (Целостность сигналов, технология IDA)
 - Заказчики должны скачать оба дистрибутива
- **Новые инструменты Sigrity 2019 (License Version 2019.0)**
 - Sigrity Aurora
 - Clarity 3D Solver
 - Celsius Thermal Solver
- **Основные приоритеты релиза Sigrity 2019**
 - Производительность
 - Удобство
 - Улучшения
 - Точность
 - Функциональность

Sigrity 2019 - обзор





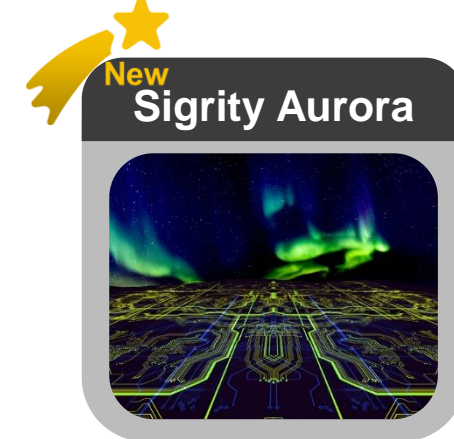
Signal Integrity – целостность сигналов

Масштабируемое решение по целостности сигналов

От планирования к проектированию и к подтверждению

- Вычислители Sigridy
- Стандартные модели
- Интеграция с инструментами проектирования
- Современный опыт использования

Введение: Sigrity Aurora



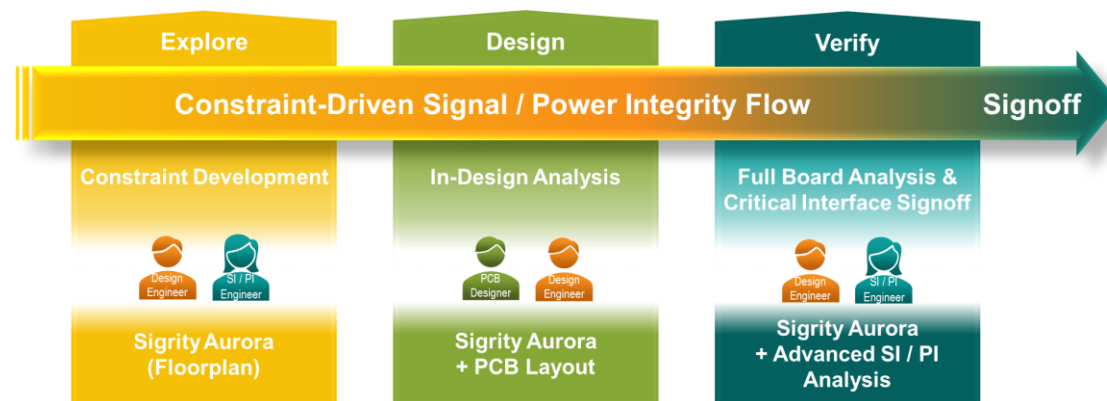
- Возможности Sigrity (hybrid solver) внутри **Allegro PCB Designer**
- **Встроенные маршруты анализа ускоряют** разработку печатных плат

– Разработчики ПП:

Маршруты проверок топологии

– **Электронщики:**

Маршруты анализа целостности сигналов и питаний

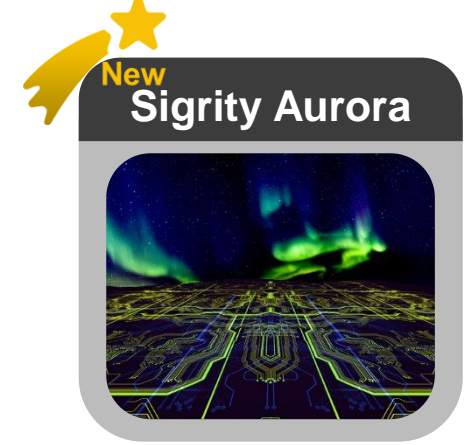


- **Новая среда изучения топологии** основана на оболочке схемотехнического редактирования **Allegro**

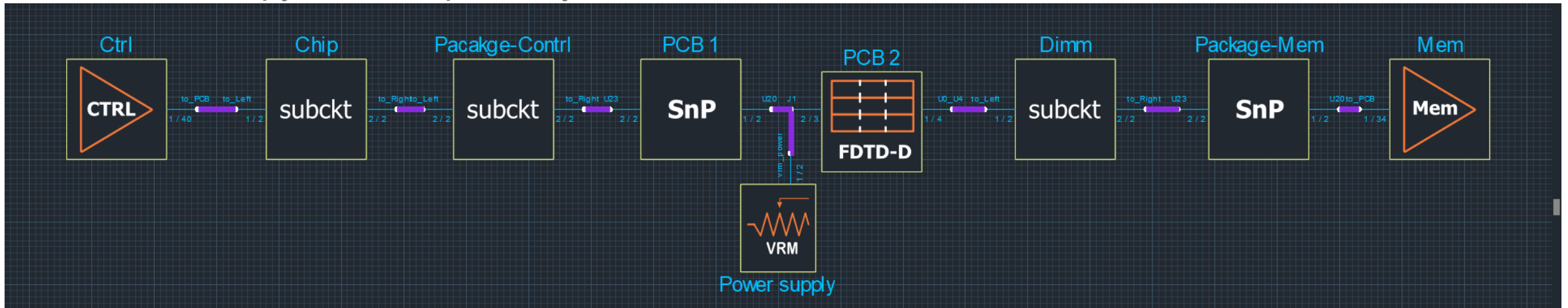
– Позволяет добавлять модели VRM для анализа power-aware (с учетом питаний)

Sigrity Aurora: объединяет проектирование и анализ проекта

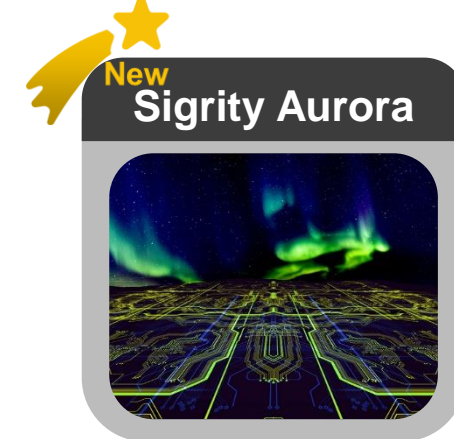
Движки Sigrity для пользователей Allegro



- Технология проверок (импеданс и наводки)
- Проверка возвратных путей тока
- Анализ Signal Integrity (отражения, перекрестные помехи)
- Анализ Power Integrity (IR Drop – падение напряжения)
- Новый редактор топологии для пред-топологического анализа цепей и анализа «что-если»
 - Масштабируется до продвинутого анализа целостности сигналов



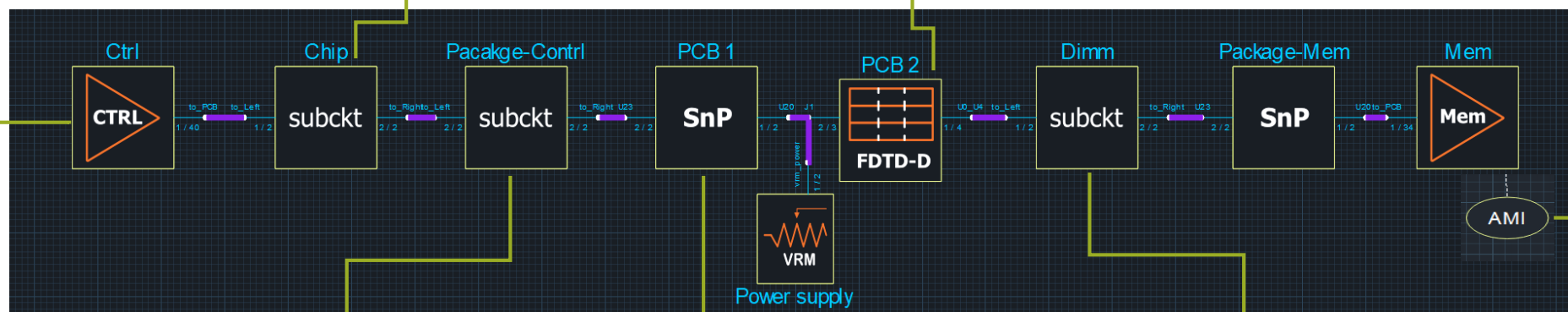
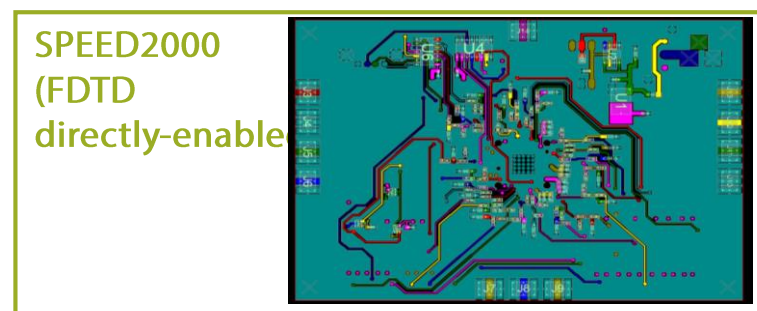
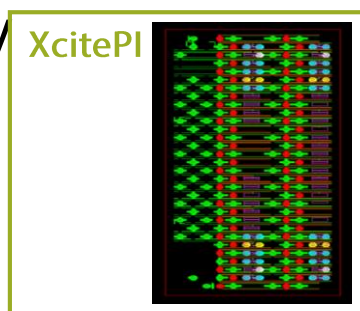
Симуляция на системном уровне



- Каждый блок системы может симулироваться в Sigrity / Clarity

```

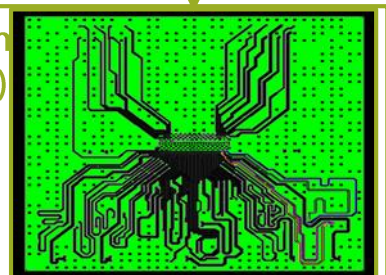
T2B
-----
IBIS file created by T2B Version 12.0.8.05191
Cadence Design Systems, Inc. 2011
-----
[IBIS ver] 5.0
[File name] ddr4.ibs
[File Rev] 1.0
[Date] Thu Sep 5 08:59:40 2013
[Notes] For use with data-rates >= 1.26 the single ended model
-----
Component DDR4
-----
[Component] DDR4
[Manufacturer] cadence
[Package]
| variable      typ      min      max
|-----|-----|-----|-----|
R_pkg          0.0          0.0          0.0
L_pkg          0.0H         0.0H         0.0H
    
```



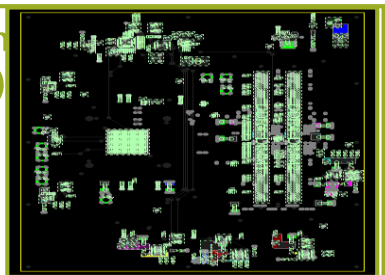
AMI Build

Name	Value
Enable	<input checked="" type="checkbox"/>
Data Write Bus	<input checked="" type="checkbox"/>
Data Read Bus	<input checked="" type="checkbox"/>
Ctrl Bus	<input type="checkbox"/>
AddCmd Bus	<input type="checkbox"/>
AMI parameter file	C:\Users\z...eneric.ami
AMI executable file	C:\Users\z...eneric.dll
Mem_gddr0_cds...	
Reserved Para...	
AMI_Versi...	5-1
Ignore_Bits	160000
Max_Init...	25
Init_Retur...	False
GetWave...	True
Model Specific	
DFE	
modu...	0
Numb...	1
ldfe	0.105
coeffo...	dfecoeffout.txt
dfe_us...	1
Digital...	1
dfe_ta...	0.0005
dfe_ta...	16
dfe_sc...	2
dfe_off	0

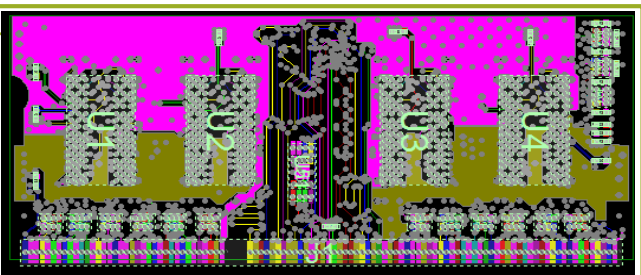
PowerSI (S-param)
Clarity (S-Param)
XtractIM (RLGC)



PowerSI (S-param)
Clarity (S-Param)

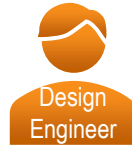


PowerSI (S-param)
Clarity (S-Param)
Speed2000
(Spice model)



Технология проверок – ERC

Не требуются модели компонентов



Проверки импеданса

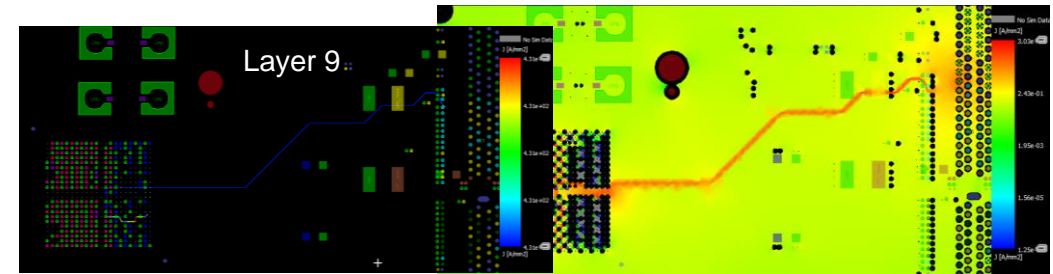
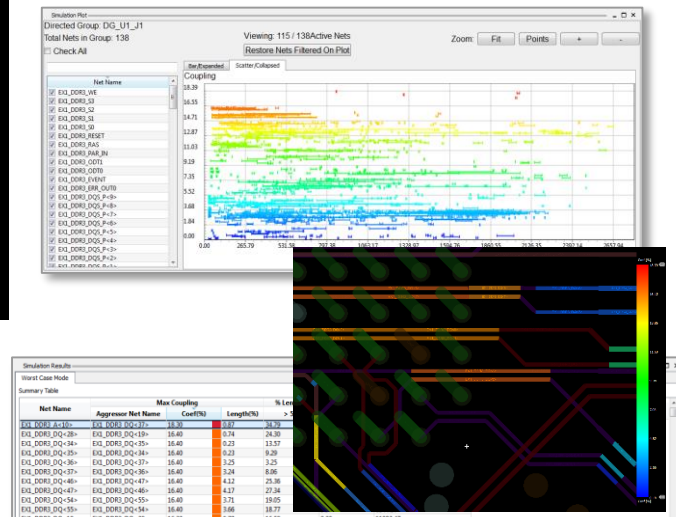
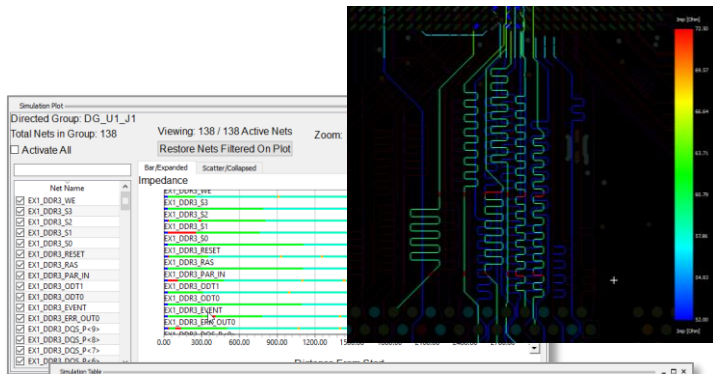
- Требования в стеке слоев
- Общий просмотр результатов
- Поиск некорректных зон
 - Одиночные сигналы и дифференциальные пары

Проверки наводок

- Не требуются модели
- Более аккуратный метод поиска проблем, чем геометрические методы
- Общий просмотр результатов

Проверки возвратных путей тока

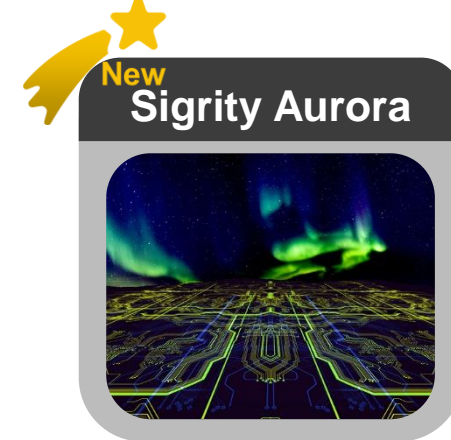
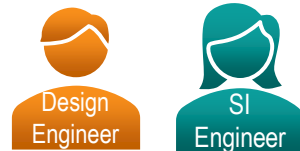
- Отчет о цепях с возможными проблемами с возвратным током
- Использование показателей качества, таких как Return Path Quality Factor
- Визуализация возвратных путей тока
 - Избранные результаты проверок будут визуализировать протекание возвратных токов по полигонам



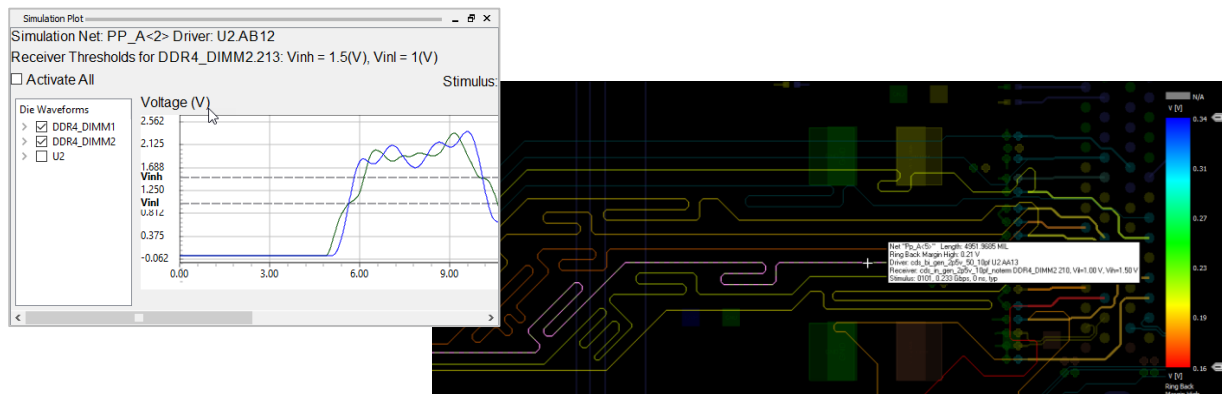
Net/Xnet Name	Return Path Quality Factor	Start Signal Pin	Start Return Pin	End Signal Pin	End Return Pin
NET6	1.262	U3.3	U3.8	U4.10	U4.8
NET5	1.261	U2.4	U2.8	U1.11	U1.8
NET7	1.221	U3.4	U3.8	U4.11	U4.8
NET1	1.211	U2.13	U2.8	U1.2	U1.8
NET3	1.193	U2.11	U2.8	U1.4	U1.8
NET2	1.191	U2.12	U2.8	U1.3	U1.8
NET4	1.181	U2.10	U2.8	U1.5	U1.8

Технология Signal Integrity

На основе стандартных IBIS моделей



Анализ отражений



Таблицы поддерживают cross-probing, Show Details, и экспорт .CSV

D0Net	Ring Back Margin High	Receiver	Driver	Impulus/Paramete	Ring Back Margin		JEDEC Overshoot		Propagation Dela	Min First Switch		Max Final Settle	
					High	Low	High	Low		Rise	Fall	Rise	Fall
> PP_A<0>	0.18 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.18 V	0.21 V	N/A	N/A	0.90 ns	1.44 ns	1.65 ns	1.62 ns	1.83 ns
> PP_A<1>	0.16 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.16 V	0.20 V	N/A	N/A	0.77 ns	1.30 ns	1.46 ns	1.45 ns	1.64 ns
> PP_A<2>	0.19 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.19 V	0.22 V	N/A	N/A	0.82 ns	1.35 ns	1.51 ns	1.51 ns	1.70 ns
> PP_A<3>	0.18 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.18 V	0.25 V	N/A	N/A	0.92 ns	1.46 ns	1.69 ns	1.59 ns	1.87 ns
> PP_A<4>	0.18 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.18 V	0.20 V	N/A	N/A	0.90 ns	1.44 ns	1.65 ns	1.63 ns	1.83 ns
> PP_A<5>	0.21 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.21 V	0.30 V	N/A	N/A	0.91 ns	1.45 ns	1.68 ns	1.58 ns	1.87 ns
> PP_A<6>	0.20 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.20 V	0.28 V	N/A	N/A	0.91 ns	1.45 ns	1.68 ns	1.59 ns	1.86 ns
> PP_A<7>	0.20 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.20 V	0.25 V	N/A	N/A	0.90 ns	1.44 ns	1.66 ns	1.61 ns	1.84 ns
> PP_A<8>	0.21 V	cds_in_gen_2p5...	cds_bi_gen_2p5...	0101, 0.233 Gbp...	0.21 V	0.28 V	N/A	N/A	0.91 ns	1.45 ns	1.68 ns	1.58 ns	1.86 ns
> PP_A<9>	0.19 V	cds_in_oen_2p5...	cds_bi_oen_2p5...	0101, 0.233 Gbp...	0.19 V	0.25 V	N/A	N/A	0.91 ns	1.44 ns	1.66 ns	1.60 ns	1.84 ns

Анализ перекрестных помех

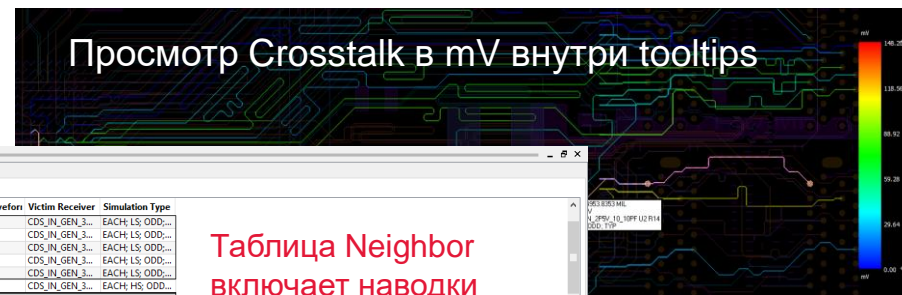
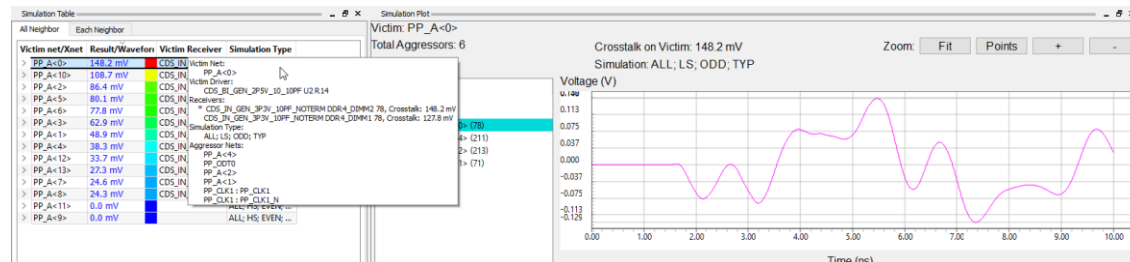


Таблица Neighbor включает наводки

Victim net/Xnet	Aggressor net/X	Result/Waveform	Victim Receiver	Simulation Type
PP_CLK1	0.1 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	
PP_A<1>	42.5 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	
PP_A<2>	92.5 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	
PP_ODT0	1.7 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	
PP_A<4>	19.2 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	
PP_A<10>	108.7 mV	CDS_IN_GEN_3...	EACH; HS; ODD...	
PP_CLK3	108.7 mV	CDS_IN_GEN_3...	EACH; HS; ODD...	
PP_A<2>	89.4 mV	CDS_IN_GEN_3...	EACH; LS; ODD...	

Обе таблицы поддерживают cross-probing и Show Details



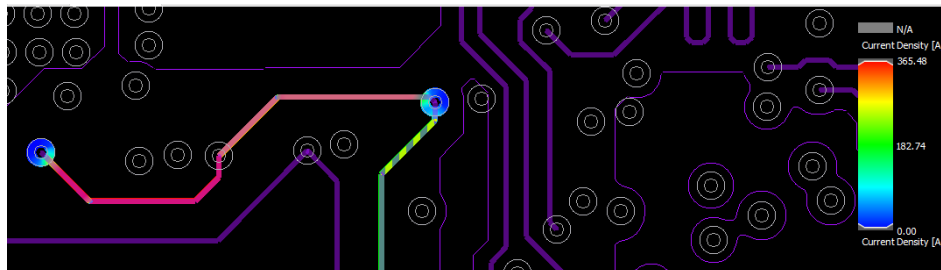
Технология Power Integrity

На основе дерева PowerTree

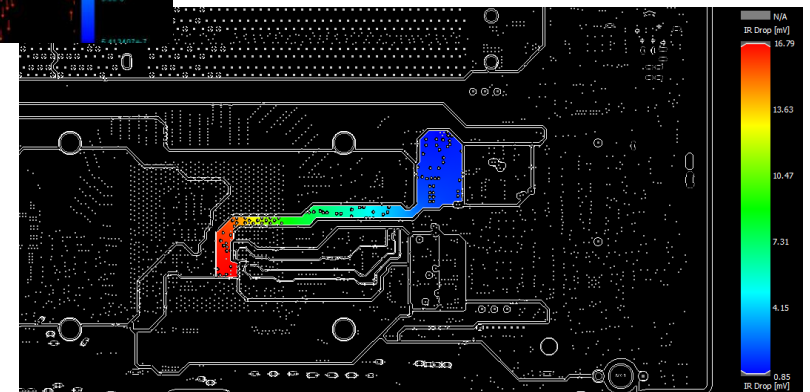
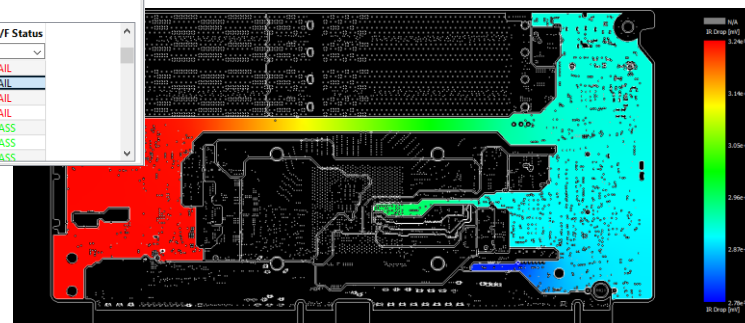
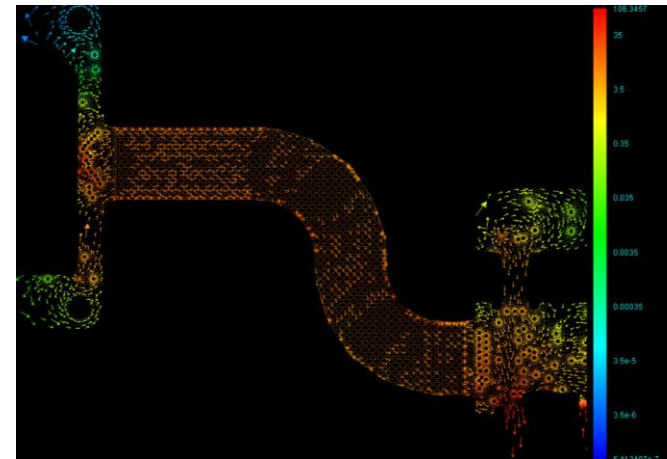


Анализ IR drop

- Просмотр IR Drop Vision может показывать напряжение Voltage, падение IR Drop, или плотность тока Current Density.
- На основе технологии PowerTree™ с возможностью повторной загрузки настроек.

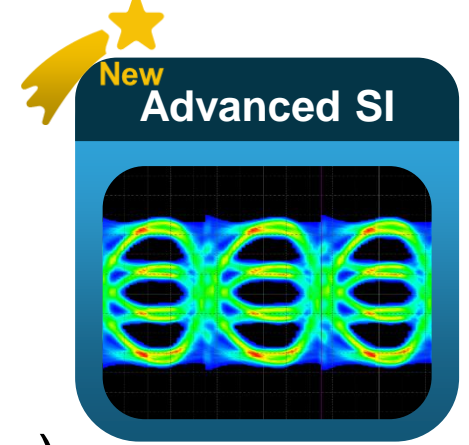


Net Name	Location (x1 y1), (x2 y2)	Net Name	Layer	Max Current Density (A/mm2)	Actual Current Density (A/mm2)	Ratio	P/F Status
P1V5_PCH	(2495.53 626.28), (2495.53 532.50)	P3V3_STBY IN4	80.4891	178.847	2.222	FAIL	
P3V3_STBY	(2532.02 662.77), (2495.53 626.28)	P3V3_STBY IN4	80.4891	178.847	2.222	FAIL	
P5V_STBY	(1474.13 271.96), (1446.95 299.14)	P3V3_STBY IN3	80.4891	119.231	1.48133	FAIL	
P12V_STBY	(1512.71 271.96), (1474.13 271.96)	P3V3_STBY IN3	80.4891	119.231	1.48133	FAIL	
	(2223.86 424.58), (2215.13 433.31)	P3V3_STBY IN4	80.4891	59.6155	0.740666	PASS	
	(2321.35 275.06), (2223.86 372.55)	P3V3_STBY IN4	80.4891	59.6155	0.740666	PASS	
	(2223.86 372.55), (2223.86 424.58)	P3V3_STBY IN4	80.4891	59.6155	0.740666	PASS	

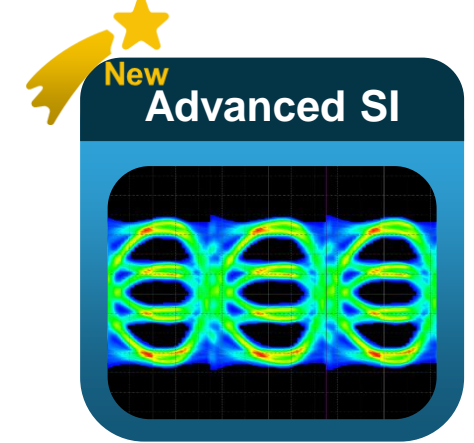


Введение: Advanced SI

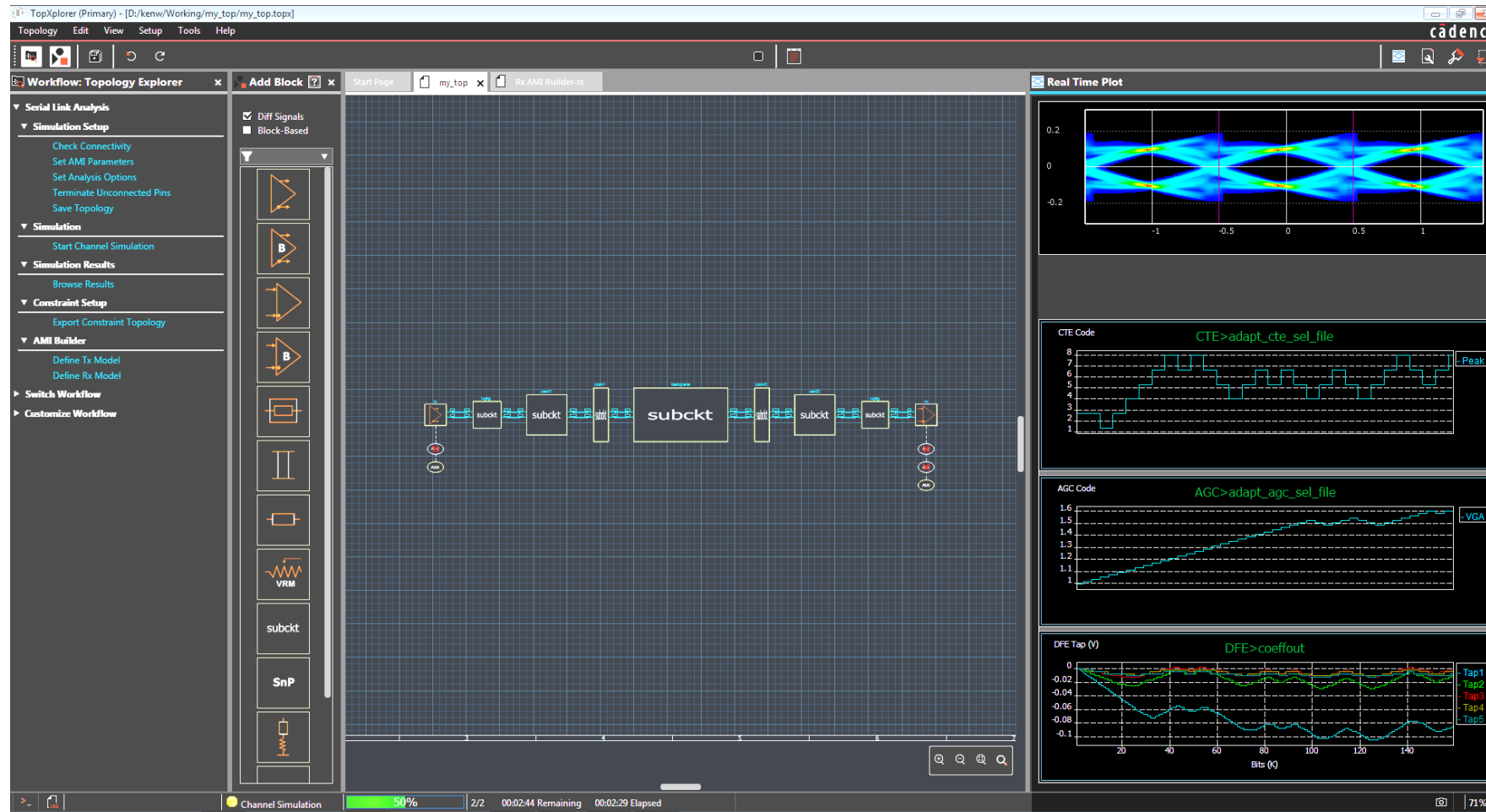
- **Новый интерфейс и возможности**
 - Такой же интерфейс, как Topology Explorer (как в Aurora)
- **Новые наборы проверок соблюдения стандартов (compliance kits)**
 - PCIe 5.0
 - Возможность создать пользовательский набор проверок



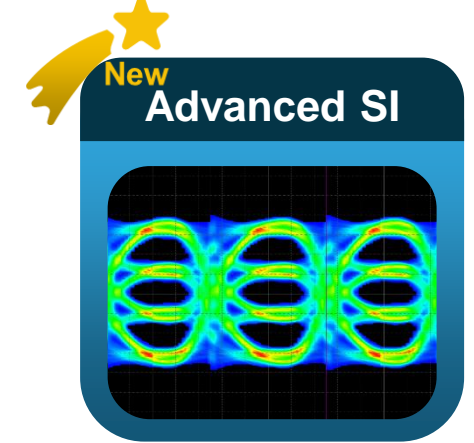
Новый интерфейс SystemSI



- Встроенные графики в реальном времени



Набор проверок соответствия PCI Express 5.0

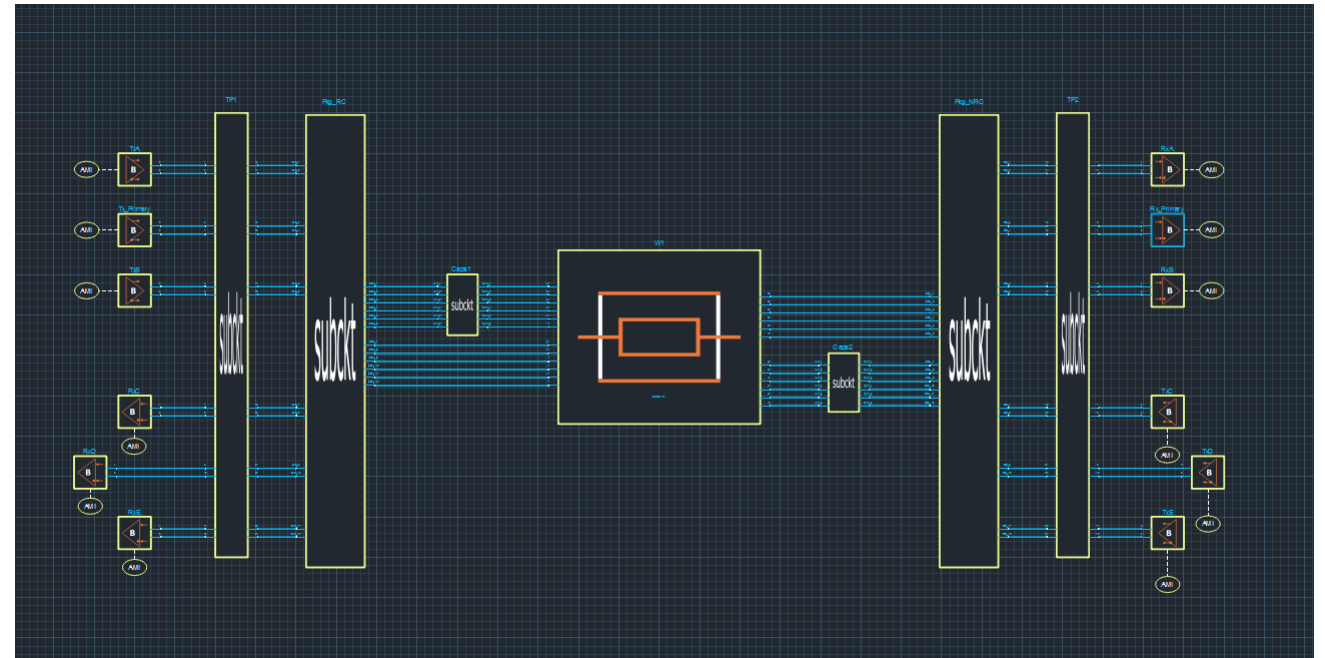


- Основан на спецификации pre-release PCIe 5

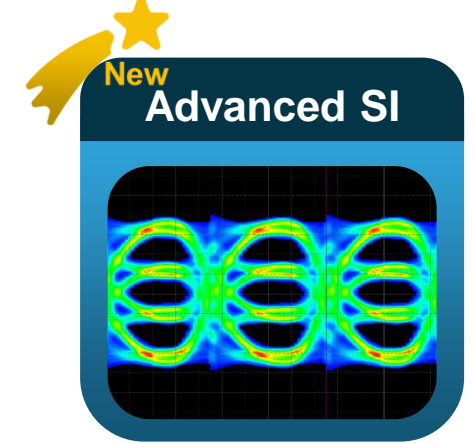
PCIe 5 Compliance Kit

Choose Compliance Item

No.	Parameter	Values	<input type="checkbox"/>
Channel Tolerancing Eye Mask Values (table 8-14 in PCI Express Base spec.)			
1	Eye Height	15mV	<input type="checkbox"/>
2	Eye Width at Zero Crossing	0.3UI	<input type="checkbox"/>
3	Peak EH Offset from UI Center	$T_{RX-D5-OFFSET}$	<input type="checkbox"/>
4	Eye Mask		<input type="checkbox"/>
5	Lane-to-Lane Skew	5ns	<input type="checkbox"/>
6	Skew between P and N Side of Thru Diff Pair	10 ps	<input type="checkbox"/>
Differential Insertion Loss			
7	Insertion Loss	Mask File: ...ks\pcie5_il.maskfile <input type="button" value="Edit..."/>	<input type="checkbox"/>
Differential Return Loss (figure 8-20 in PCI Express Base spec.)			
8	Tx Return Loss		<input type="checkbox"/>
9	Rx Return Loss		<input type="checkbox"/>
Stressed/Swept Jitter Test			
10	Stressed/Swept Jitter		<input type="checkbox"/>



PCI Express 5.0 Compliance Kit



SSIVIEWER - [Compliance Report]

File View Tools Window Help

Compliance Report x

cādence®

PCIe 5 Compliance Report

Generated by Cadence TopXp, 18.0.4.04101.157864 004
April 22, 2019

Useful Links

- Cadence website: <http://www.cadence.com>

General Information

- Project File: my_top.topx
- Circuit Simulator: SPDSIM

Summary of Results

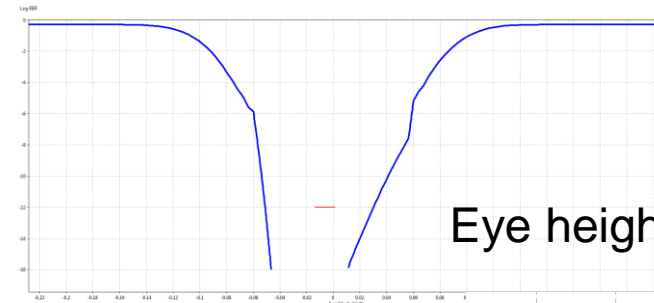
This report shows the results of the compliance testing using Cadence TopXp. The channel simulated violates one or more compliance requirements.

Channel Tolerancing Eye Mask Values (table 8-14 in PCI Express Base spec.)

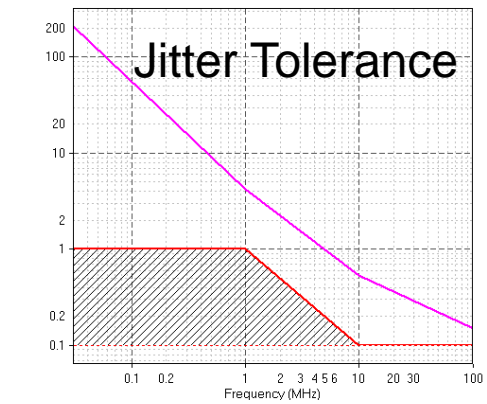
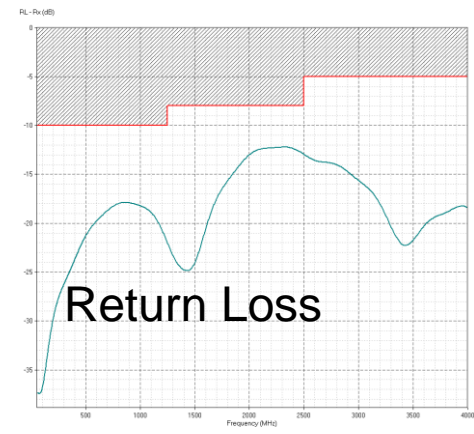
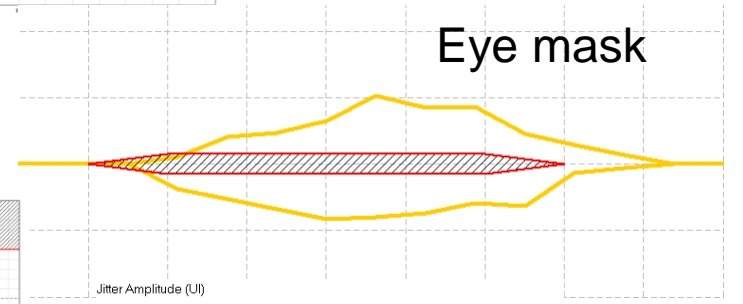
Item	Value	Simulation Results	Pass/Fail
Eye Height (at BER=1e-12)	15 mV	81.000 mV	Pass
Eye Width at Zero Crossing (at BER=1e-12)	0.3 UI	0.400 UI	Pass
Peak EH Offset from UI Center (at BER=1e-12)	$\pm T_{RX-DS-OFFSET} UI$	0.031	Pass
Eye Mask (at BER=1e-12)		Eye Mask	Fail
Skew between P and N Side of Thru Diff Pair (at BER=1e-12)	10 ps	0.489	Pass

Differential Insertion Loss

Item	Value	Simulation Results	Pass/Fail
Insertion Loss		SDD21	Fail

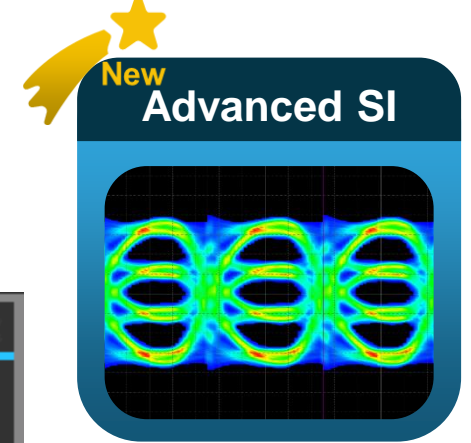
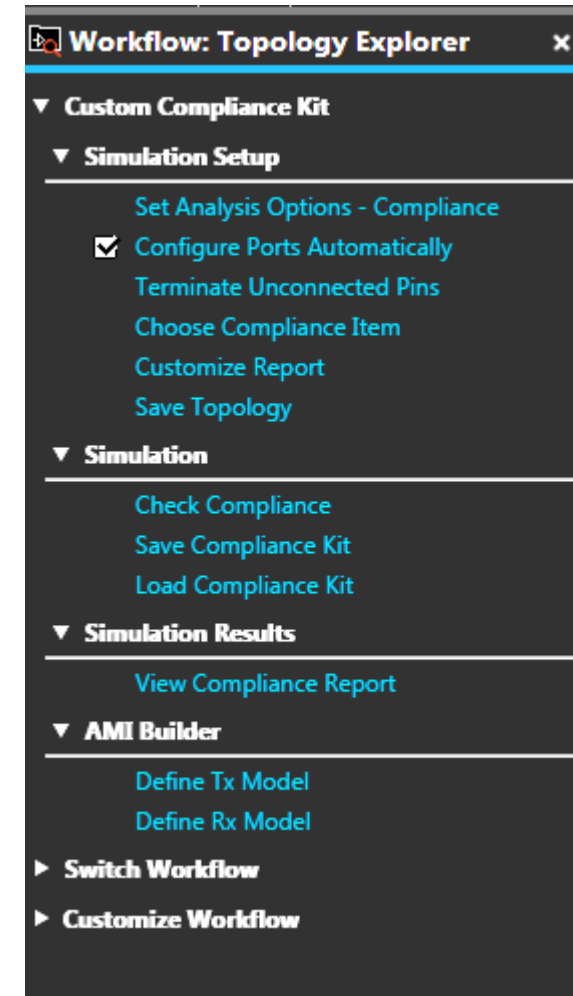


Eye height @ BER



Пользовательский набор проверок соответствия Custom Compliance Kit

- Позволяет пользователям создавать собственные наборы проверок, на основе существующих наборов Sigrity
- Не требуется ждать, пока Cadence реализует формальный набор проверок
- Можете создавать и задавать свои спецификации
- Можете сохранять набор проверок в библиотеку и использовать в дальнейшем на других проектах





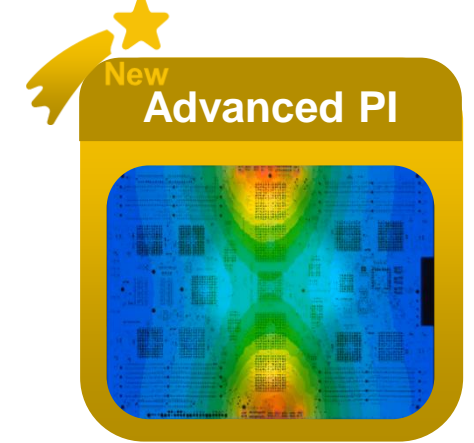
Power Integrity – Целостность питания

Масштабируемое решение по проверке Power Integrity

От планирования до проектирования и до анализа и подтверждения проекта

- Sigrity Aurora – анализ IR Drop внутри проекта (см. предыд.секции)
- Использование дерева PowerTree
- Подтверждение на уровне платы (PowerDC / OptimizePI)

Введение: Advanced PI

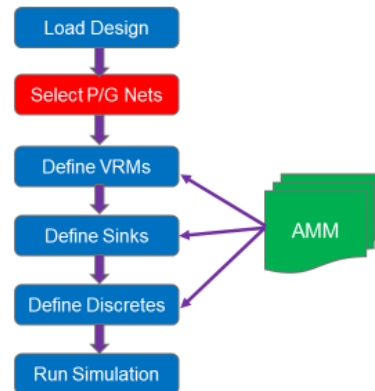


- Дерево PowerTree – Новый быстрый вариант настройки

Проблема: Старая методика (вручную)

PowerTree: Traditional IR Drop Analysis Setup Key Steps

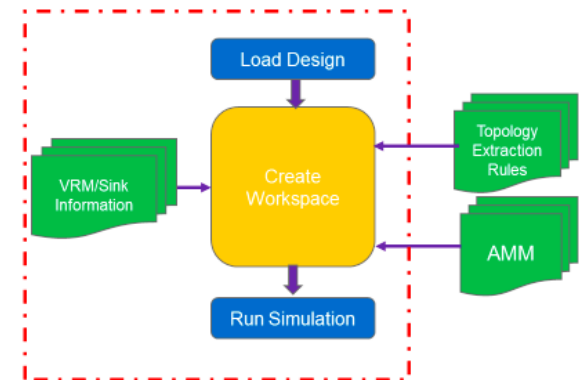
- Inputs
 - Layout design
 - VRM/Sink information
 - Discrete components
 - AMM library (optional)
- Outputs
 - Workspace
- Problems
 - Selecting P/G nets can be time consuming and error prone
 - Not easy to automate
 - Too many TCL commands



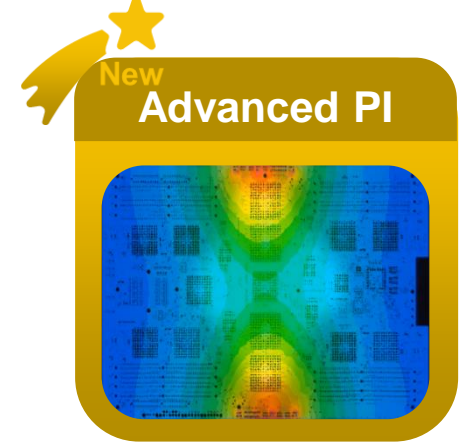
Решение: Методика Sigrity 2019 (автоматизация)

PowerTree: Fast Setup Method for IR Drop Analysis

- Minimize users input
- Automatically select and enable power/ground nets
- Automatically create workspace
- Much easier to automate with TCL commands



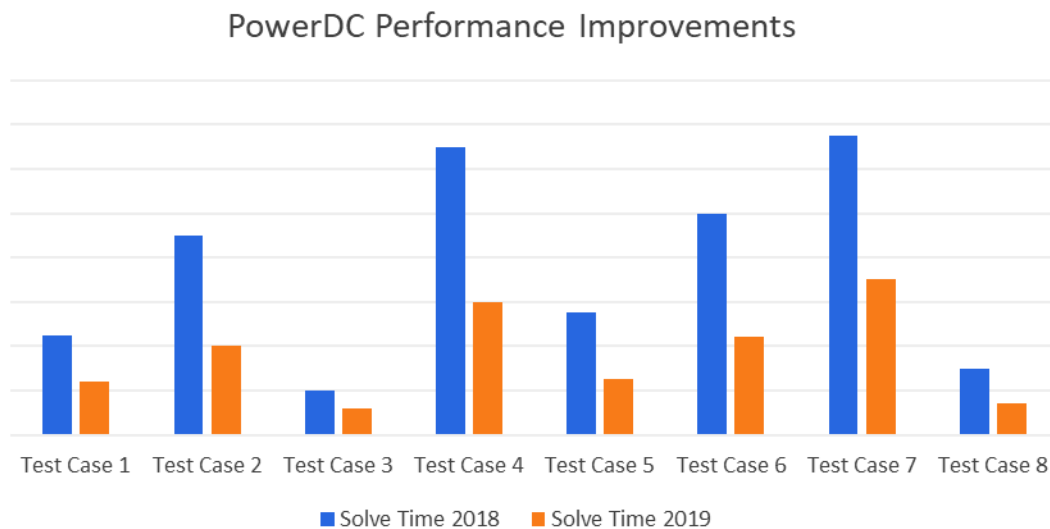
Advanced PI



- Инструмент Sigrity PowerDC – анализ по постоянному току
 - Эффективность и производительность
 - Новые движки удвоили производительность на больших проектах
 - Улучшенный multi-threading для поддержки HPC
 - Загрузка MCP
 - Визуализация 2D Plot
 - Генерация Distribution plot
 - Сохранение distribution plots в виде текстовых файлов
 - Точность
 - Режимы настройки точности поддерживают опции для получения точных результатов
 - Улучшения
 - Опциональное отображение сетки в режиме «точности» (сетка не видна в режиме “non-accuracy”)
 - Поддержка DC to DC Voltage Converter / Low Drop Out Regulator
 - Улучшена функция Generate Signal Trace Temperature Profile
 - Поддержка Voltus encrypted Power Map

PowerDC: Новые движки симуляции повышают производительность

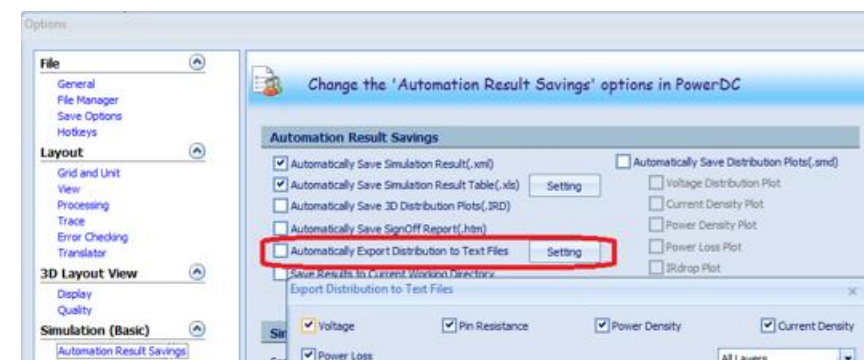
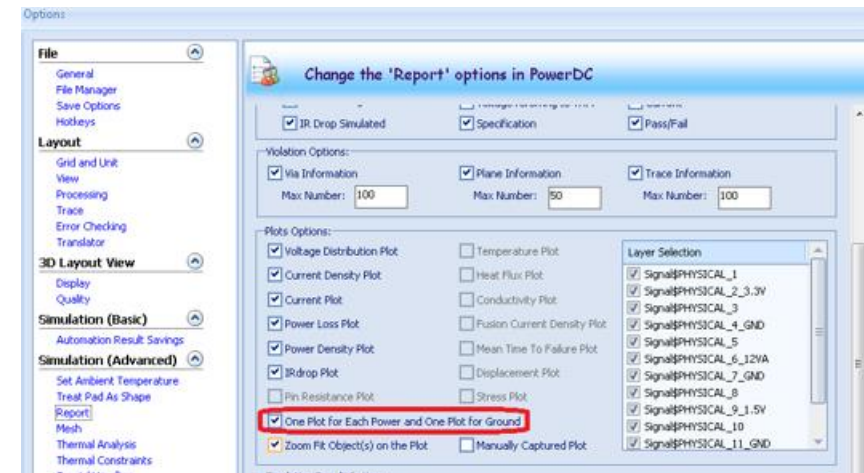
- Улучшена производительность решателя матриц PowerDC для больших проектов



- Новые решатели (S600.exe/PdcSolver.dll) заменяют старые (Solverdll.dll)
 - Система автоматически решает, какой решатель использовать в разных случаях
 - Тестирование показывает в среднем ускорение в 2 раза
 - Особенно значительное ускорение для Resistance Network Model Generation

PowerDC: Улучшения производительности интерфейса пользователя GUI

- Ускорена загрузка схемы через MCP (более 50% ускорение)
- Ускорено отображение 2D plot
 - Прорисовка векторов токов напрямую в битовую карту, а не через интерфейс GDI
 - Прорисовка пикселей вместо векторов для малых треугольников
 - Фильтрация векторов по сетке, если их слишком много
 - Оптимизация вычисления пересечений для выпуклых полигонов
- Ускорена генерация distribution plot для отчета о подтверждении проекта
 - Сохранение distribution plots как текстовых файлов параллельно
 - Сохранение distribution plots как текстовых файлов по слоям/цепям

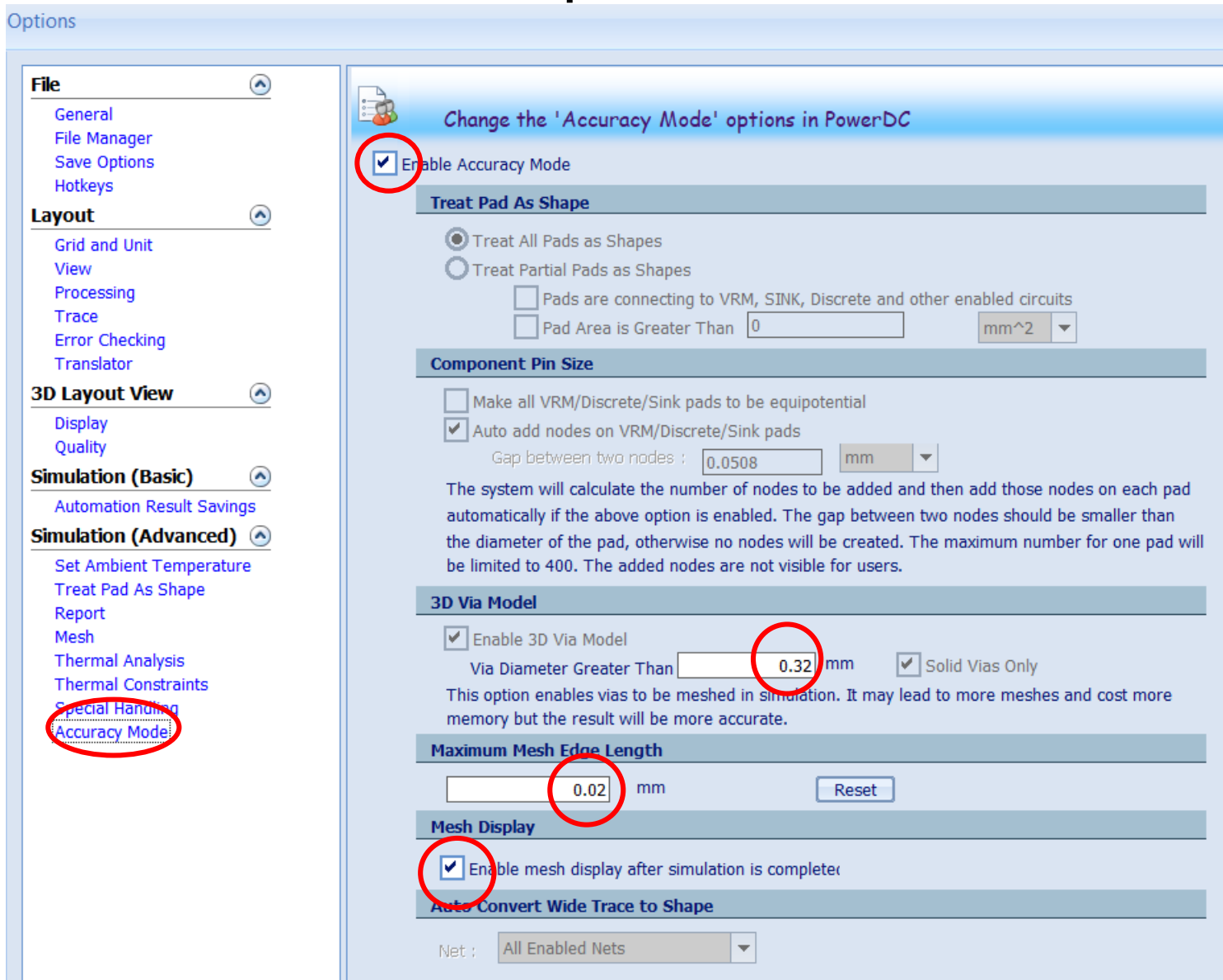


PowerDC: Поддержка высокопроизводительных вычислений

- Электрический анализ
 - IR drop
 - Задачи - На основе цепи питания
 - Земляная цепь рассчитывается в отдельной задаче (ядре ЦПУ)
 - Экстракция модели сети резисторов
 - Много-цепочечная, мультиядерная
 - Каждое ядро ЦПУ/процесс – для каждого пути соединения
 - Генерация измерения сопротивления
 - Мультипотокное, многоядерное
 - Каждое ядро/процесс для одного пути соединения
- Одиночные компьютеры с многими ядрами
- В будущем: будет поддерживать разбиение задачи на множество компьютеров

Case Name	RLC_041_PDC_temp	RLC_054_Temp_PDC	RLC_056_PDC_temp	Running_006_PDC_temp
SPD file size	11595KB	137905KB	17136KB	35848KB
Workspace size	155K	299K	93	189
Peak memory(v18.0.1.09051.)	992048K	5192824K	5894600K	2501044K
Peak memory(Refined version)	997680K	6318888K	6896988K	2450216K
Number of resistance instances	565	363	211	639
Resistance Computation time(v18.0.1.09051.)	280.261355s	1154.872526s	658.101998s	622.868978s
Resistance Computation time(Refined version)	60.002720s	287.500729s	242.152888s	101.602198s
Improvement	78.60%	75.10%	63.20%	83.70%

PowerDC: Новый режим точности “Accuracy Mode”



- Нацелен на решение проблем:
 - Ранее было слишком много опций управления точностью и производительностью
 - Опции были глобальными для всех маршрутов
 - Некоторые опции неприменимы для некоторых маршрутов
 - Не учитывался размер Pin size
 - Максимальная длина стороны ячейки была фиксирована в диапазоне
 - 1/20~1/10 of the short board outline edge
 - Были проблемы с некоторыми ситуациями в углах
 - Maximum mesh edge length dependency
 - Pad modeling impact
 - For example: In one big PCB layout, only one tiny net was enabled for simulation

PowerDC: Создание DC-DC/LDO в помощнике

- Ранее PowerDC поддерживал только один вход и множество выходов DC-DC
- Теперь можно вручную задавать входы и выходы для компонентов DC-DC, авто-создавать в PowerTree, или создавать библиотеку AMM
- Авто-вычисление или ручное задание токов потребления

Voltage Drop Analysis Setup

Set up VRMs

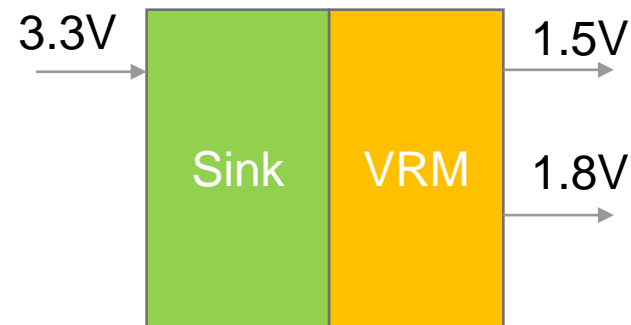
Set up Sinks

Set up DC-DC/LDO

Set up Discretes

Set up V/I Probes

Set up Ref Node

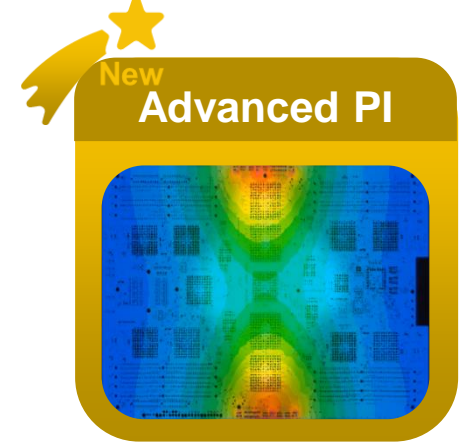


Voltage Drop Analysis Setup -> Set up DC-DC/LDO

Use current for the DC-DC/LDO In

DC-DC/LDO Name	In	Net	Model	Nominal Voltage (V)	Upper Tolerance (%)	Lower Tolerance (%)	P/F Mode	Current (A)		Out	Net	Voltage (V)	Convert Rate	Output Tolerance (%)	Output Current (A)	Resistance (ohm)

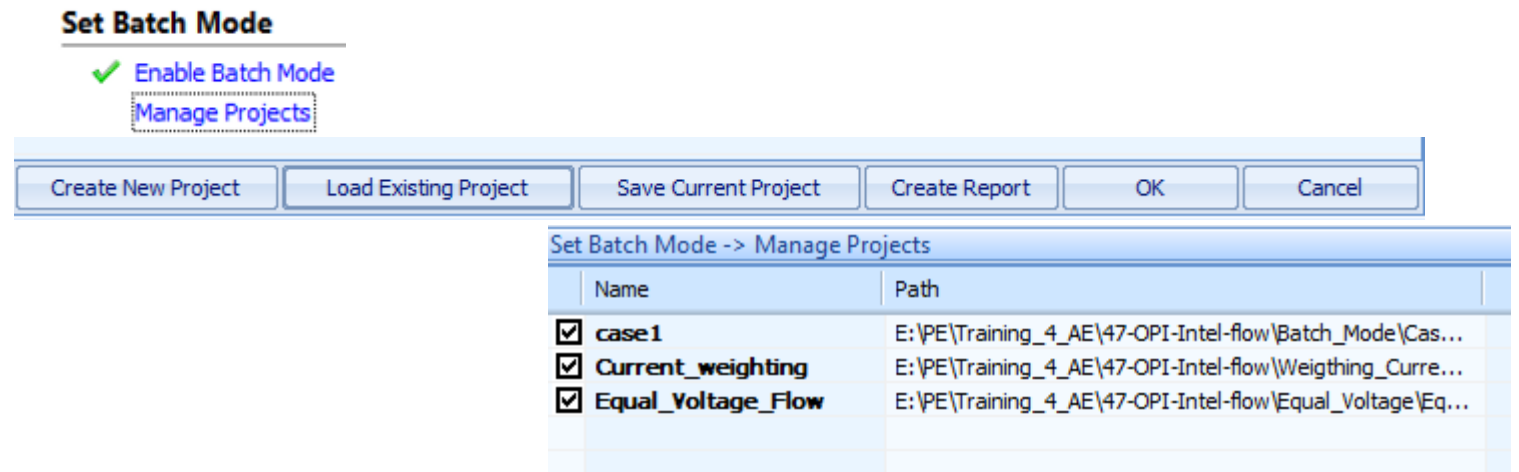
Advanced PI



- Инструмент Sigrity OptimizePI – подбор матрицы конденсаторов
 - Эффективность и производительность
 - Симуляция в пакетном режиме
 - Точность
 - Возможен анализ целостности питаний печатной платы с моделями корпусов компонентов Package Model
 - Улучшения
 - Улучшения алгоритма поиска наилучшего расположения конденсаторов на печатной плате

OptimizePI: Поддержка пакетного режима симуляции

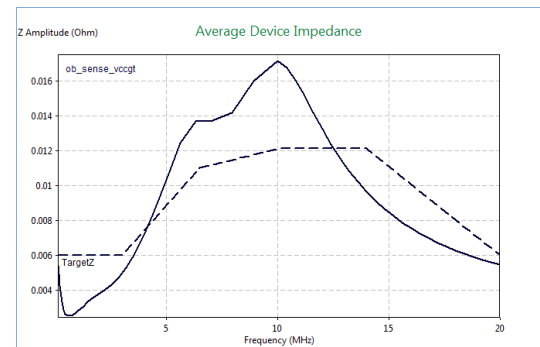
- Пакетный режим позволяет запускать несколько проектов один за другим
- Поддержаны маршруты:
 - PDN Impedance Checking
 - Device Impedance Checking
 - Post-Layout Analysis
 - What-if Analysis



- Отчеты могут быть просмотрены сразу после завершения симуляции

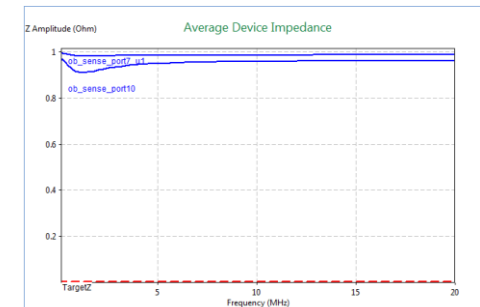
2.4.1 Impedances at Devices(10KHz - 20MHz)

+VCCGT::GND



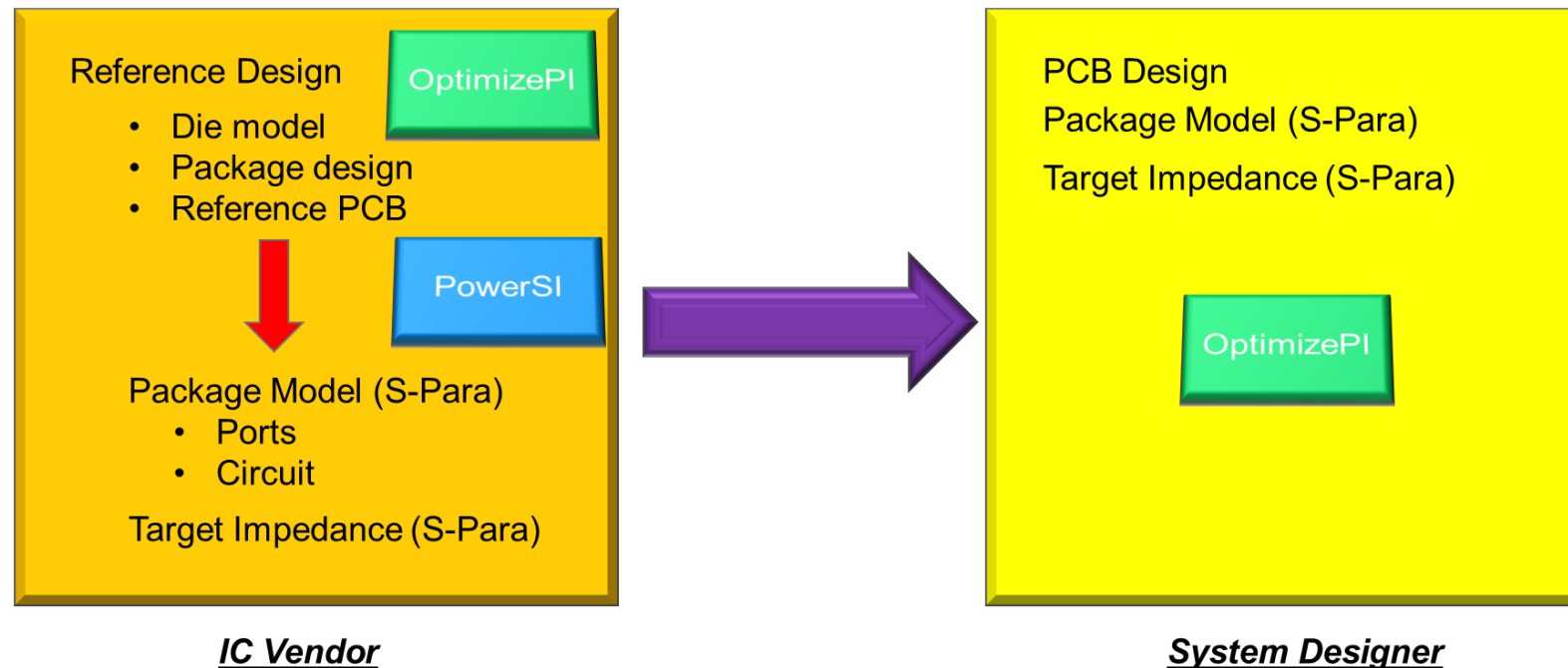
2.4.1 Impedances at Devices(10KHz - 20MHz)

1_2V::GND



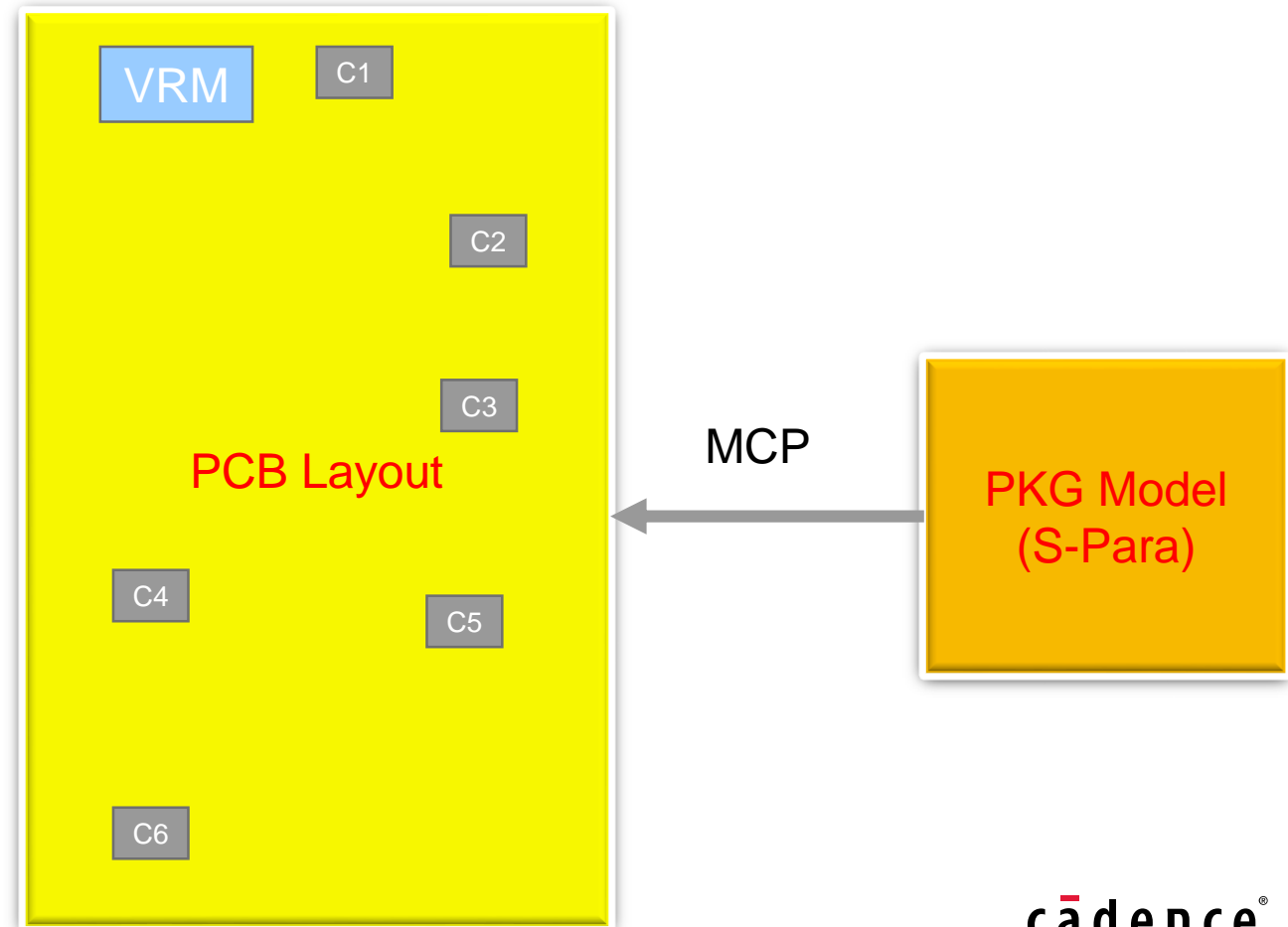
OptimizePI: Анализ целостности питания печатной платы с моделями корпусов компонентов

- Поставщики микросхем обычно не дают модели топологии корпусов ИС
- Однако могут быть предоставлены S-параметры корпусов ИС
- Электронщики могут встраивать эти модели в систему анализа питания
 - Проверка целевого импеданса в определенных точках



OptimizePI: Анализ целостности питания с моделями ИС

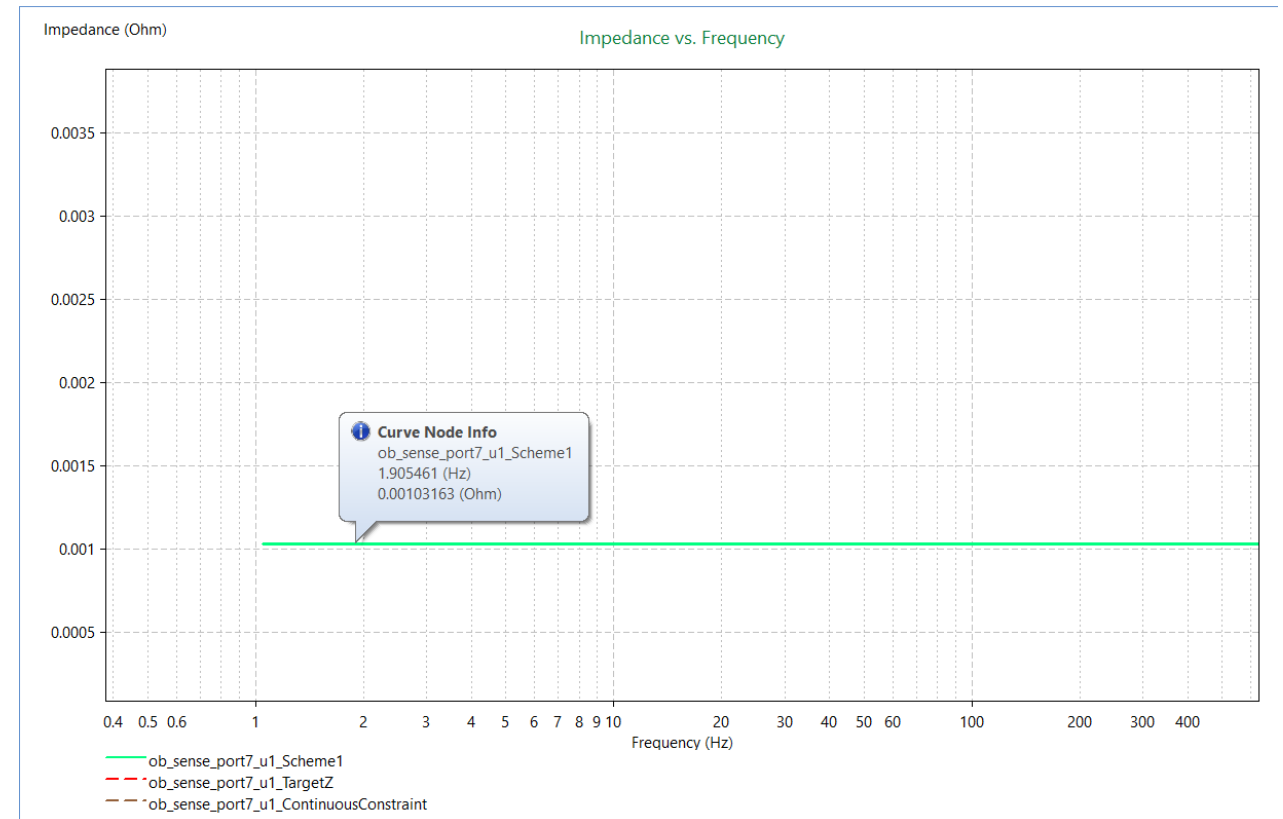
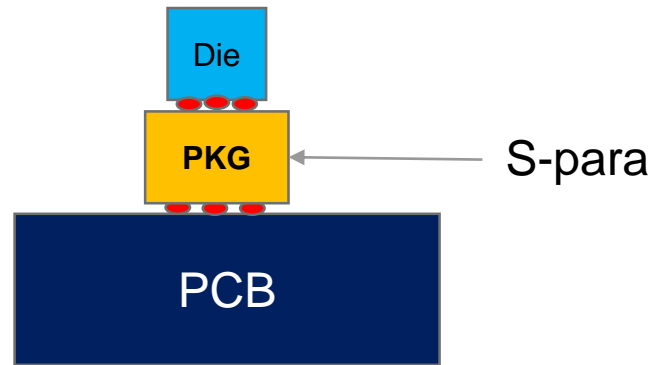
- Автогенерация портов в компоненте
- Сопоставление MCP с моделью компонента и корпуса ИС
- Библиотека АММ для фильтрующих конденсаторов
 - Автонастройка или
 - Ручное назначение



OptimizePI: Анализ целостности питаний с моделями ИС

DC-AC – встраивание с созданием портов схемы

- Теперь поддерживает встраивание порта DC-AC в схему анализа
- Вызов симулятора PowerDC
 - Генерация модели Resistance Network
- S-параметры платы и ИС



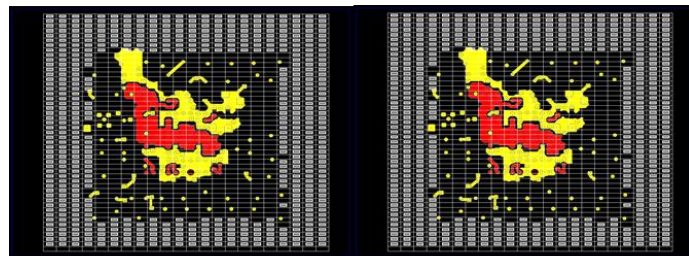
OptimizePI: Авто-поиск оптимального положения конденсаторов

Новый алгоритм обеспечивает улучшенные результаты

- **Предыдущий алгоритм**

- Ручные попытки с разными сетками
- Прямоугольная сетка (2x1)
- Конденсатор располагается в центре сетки
- Конденсаторы могут стоять только горизонтально

		x	xxx	xxx	xx	xx	xx	xx
xx	xx	xx	xxx	xxx	xx	x xx	x x	
xx	xx	xx	xx	x	xxx	xx	xx	
xx	xxx	xx	xxx	xx	x	xxxxxxxx	xx	
x	x	xx	x	xx	xx	xx		
		xx	xx	xx	xx	xxx	x	



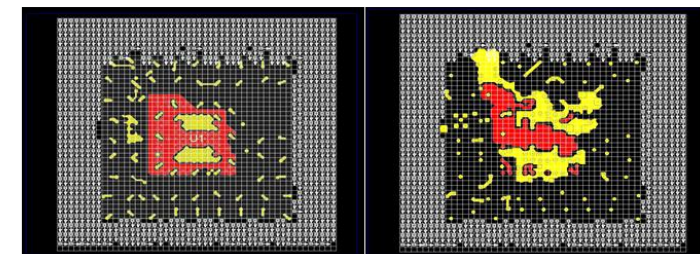
Top Layer

Bottom Layer

- **Новый алгоритм**

- Квадратная сетка (1x1)
- Позволяет размещать конденсаторы вертикально или горизонтально
- Для фиксированного общего количества конденсаторов, использует индуктивность петли тока для определения их позиций

			x	xxx	xxx	xx	xx	xx	xx	xx	xx
xx	xx	xx	xx	xxx	xxx	xx	xx	x xx	x x		
xx	xx	xx	xx	xx	xx	x	xxx	xx	xx	xx	
xx	xxx	xxx	xx	xxx	xx	x	xxxxxxxx	xx	xx		
x	x	xx	x	xx	xx	xx	xx	xx	xx		
			xx	xx	xx	xx	xx	xx	xx	xxx	x



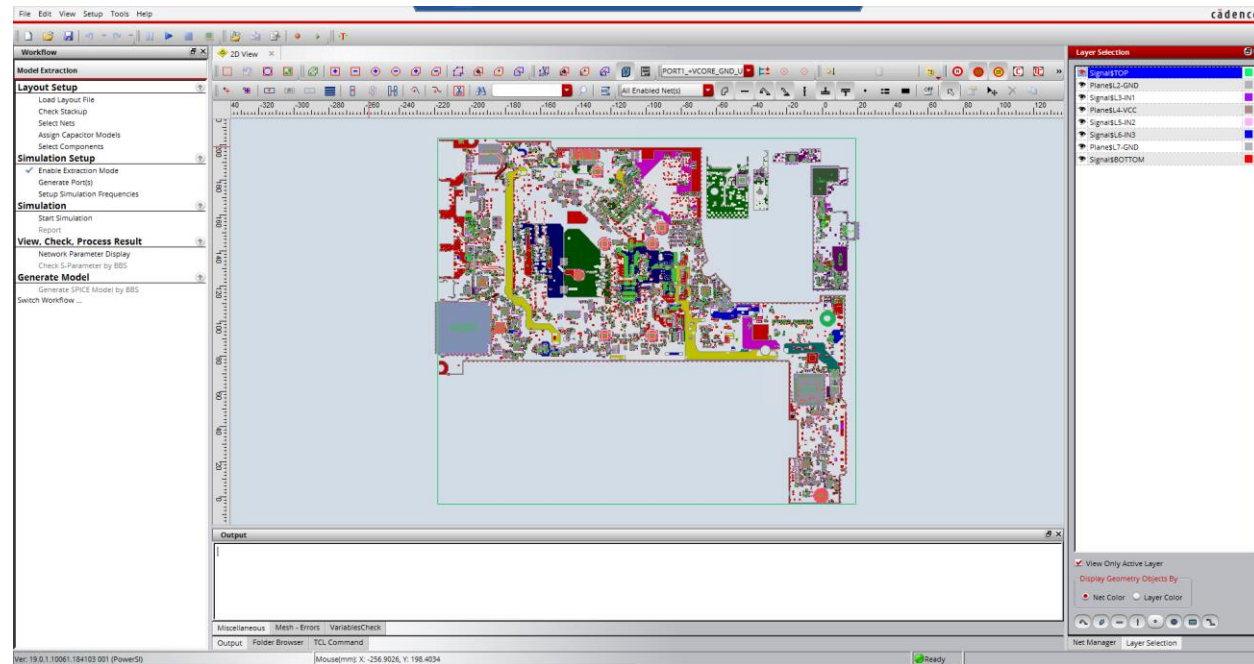
Top Layer

Bottom Layer

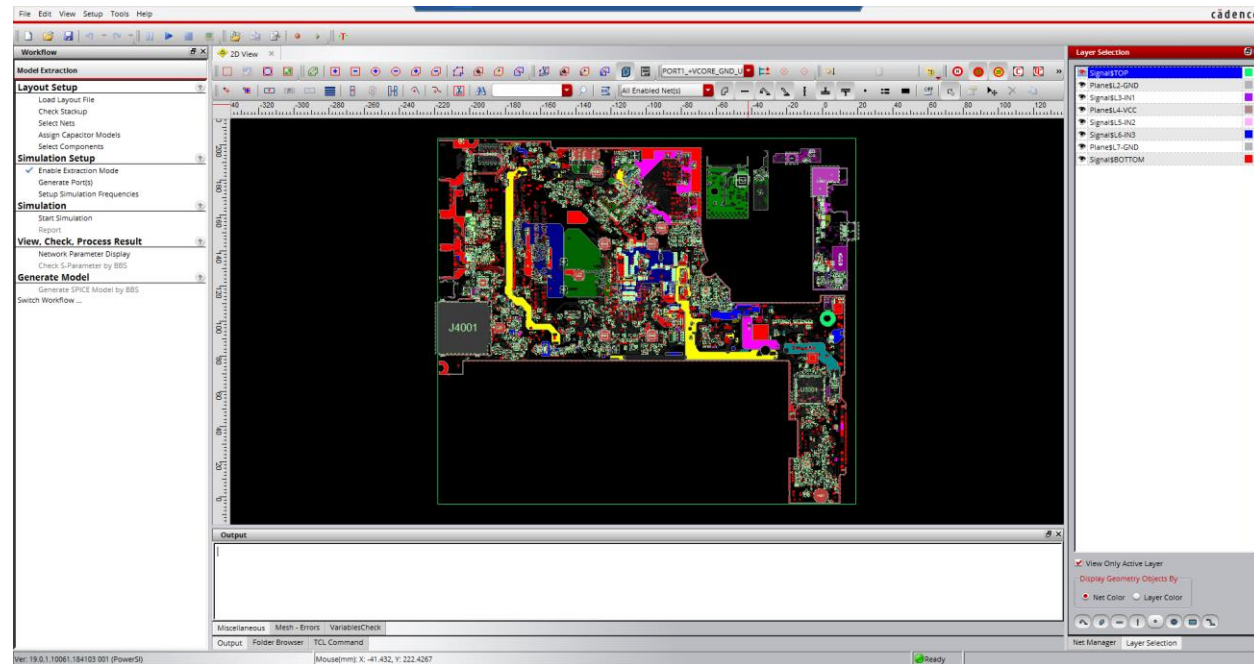
Экстрагирование параметров печатной платы

Инструменты PowerSI (быстрый гибридный решатель) и Clarity (3D-решатель) обновлены

- Новый единообразный пользовательский интерфейс 2D
 - Все продукты с 2D-интерфейсом мигрируют к единому пользовательскому интерфейсу, чтобы было удобнее переключаться между различными инструментами
 - Упрощенное переключение между маршрутами анализа (меню File -> Switch Flow)
 - Простое переключение между окнами



Светлая тема

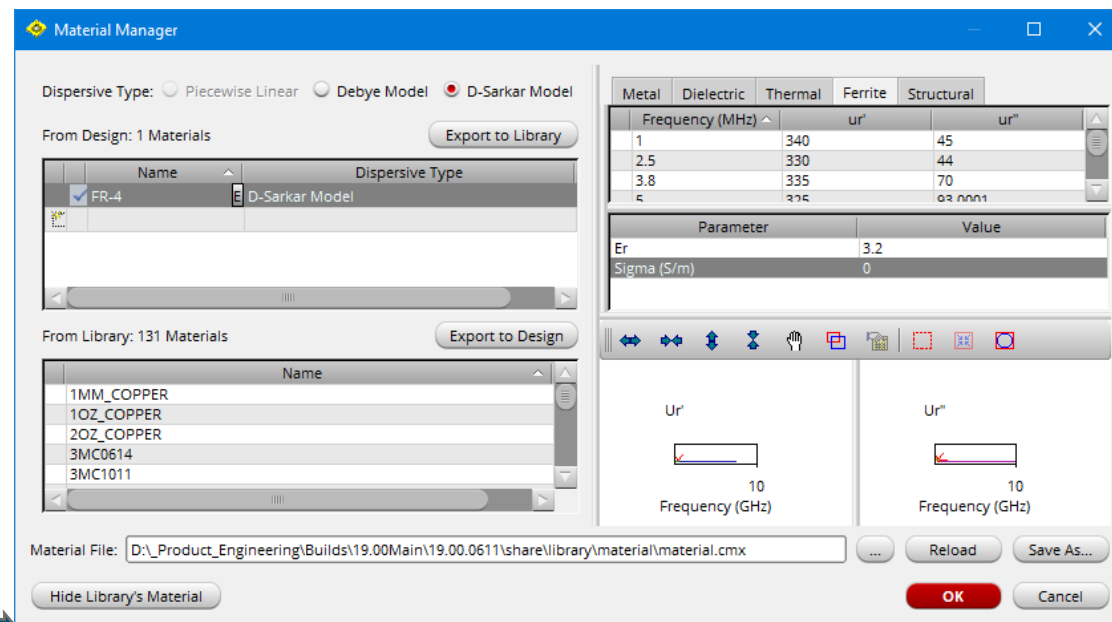
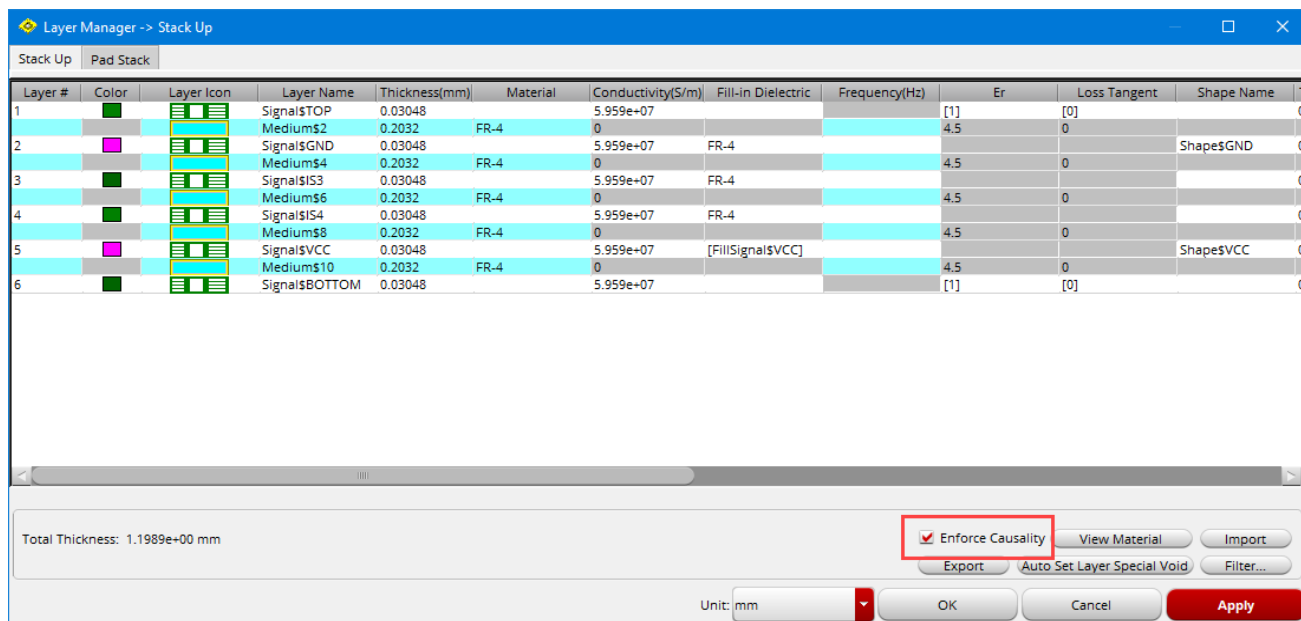


Темная тема

Что нового в Sigrity 2019 PowerSI

- **Производительность**
 - Более быстрая обработка полигонов
 - Улучшенная поддержка многоядерных процессоров
- **Удобство**
 - Material Manager and Causality Enforcement controls
 - Formula-Based Customized FCC Class for EMC/EMI simulation
 - Verify Tool Dependency checks to ensure all necessary tools are ready for the desired workflow (eg. MPI check, PowerDC)
 - Backdrill Editing
 - Rigid-Flex Design
 - Auto Special Void Setting
- **Улучшения в точности вычислений**
 - Advanced Discontinuity Model to be applied for overlap of anti-pad and hole at via location and trace over hole
 - Xhatch Detection
 - Enhancement on Engine
- **Улучшения функциональности**
 - Plotting Copy Function via RMB menu (copy to clipboard)
 - New TCL Commands

PowerSI: Менеджер материалов, и улучшенная Сходимость



- Когда “Enforce Causality” отключено:

Доступен только тип рассеивания “**Piece Wise Linear**”

- Если “Enforce Causality” включено:

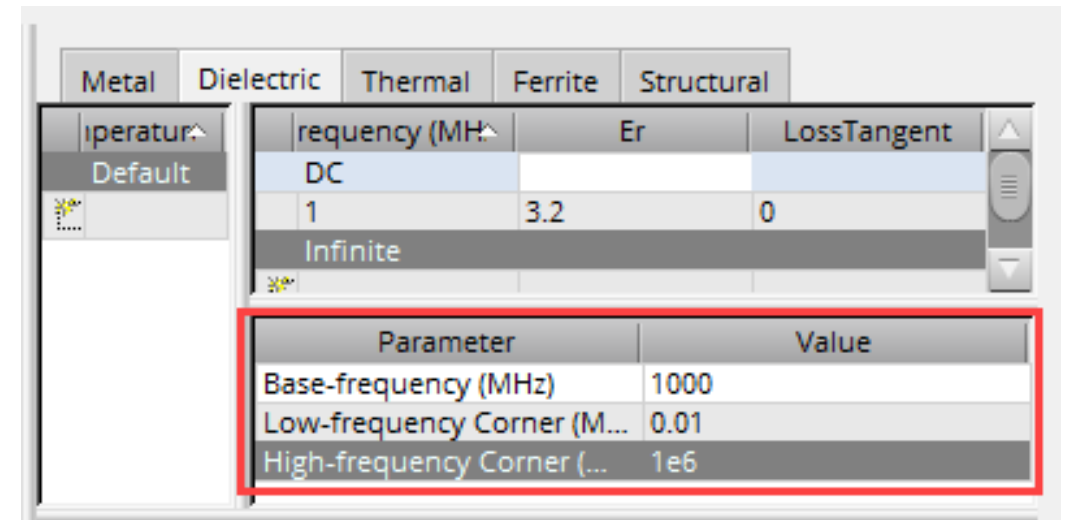
Доступны типы “**Debye**” и “**Dsarkar**”; “DSarkar” выбран по умолчанию

Note **Piece Wise Linear** –
When dispersive type “Piece Wise Linear” is chosen, the “Dielectric” properties will adopt the data input by user while data between two data points will be interpolated linearly that no causality will be enforced.

PowerSI: Менеджер материалов, и улучшенная Сходимость

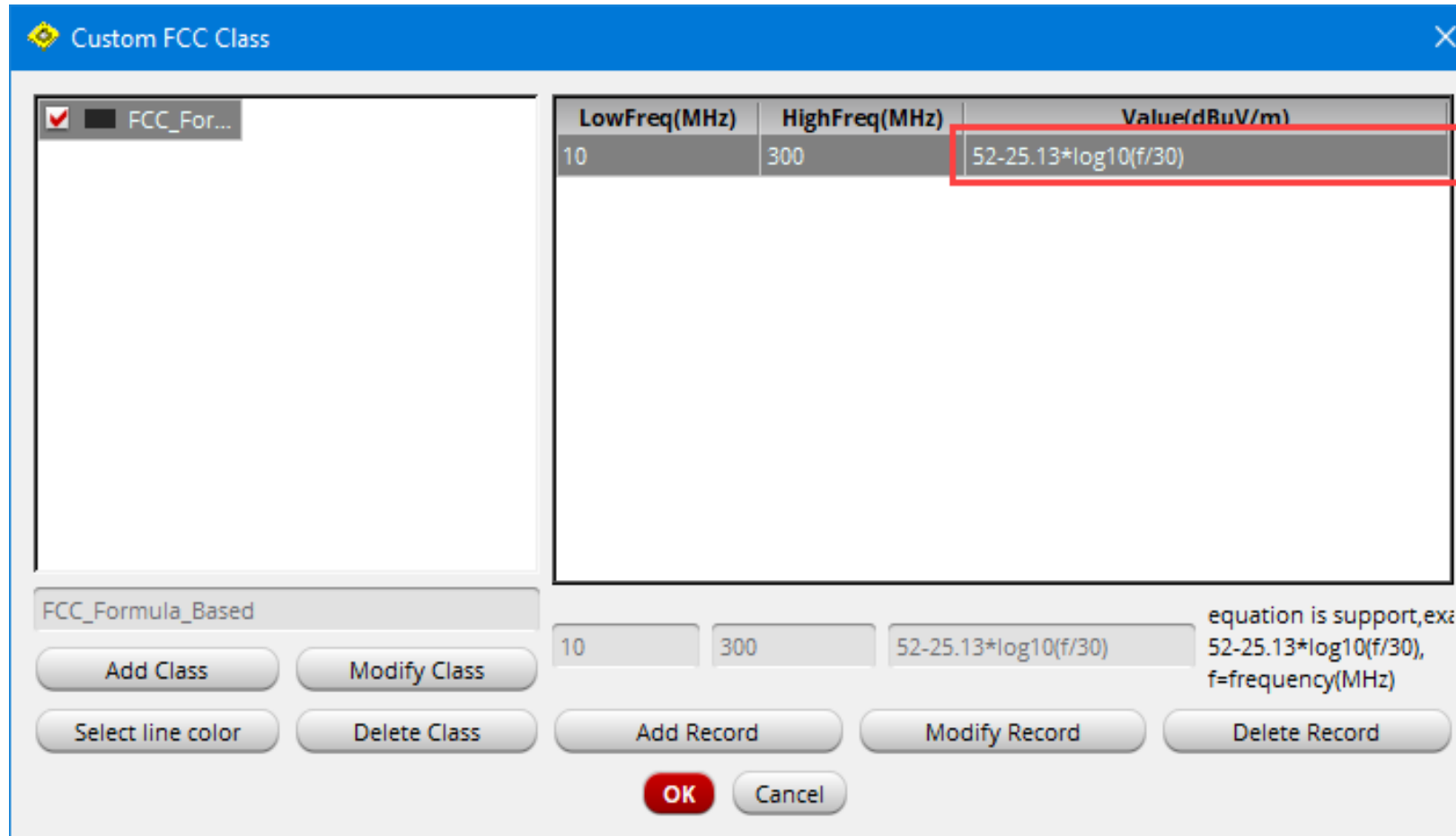
- Улучшение типа рассеивания “**D-Sarkar**”:

Можно ввести параметры **Base-Frequency**, **Low-Frequency Corner**, и **High-Frequency Corner**, значения по умолчанию 10kHz, 1GHz и 1000GHz.



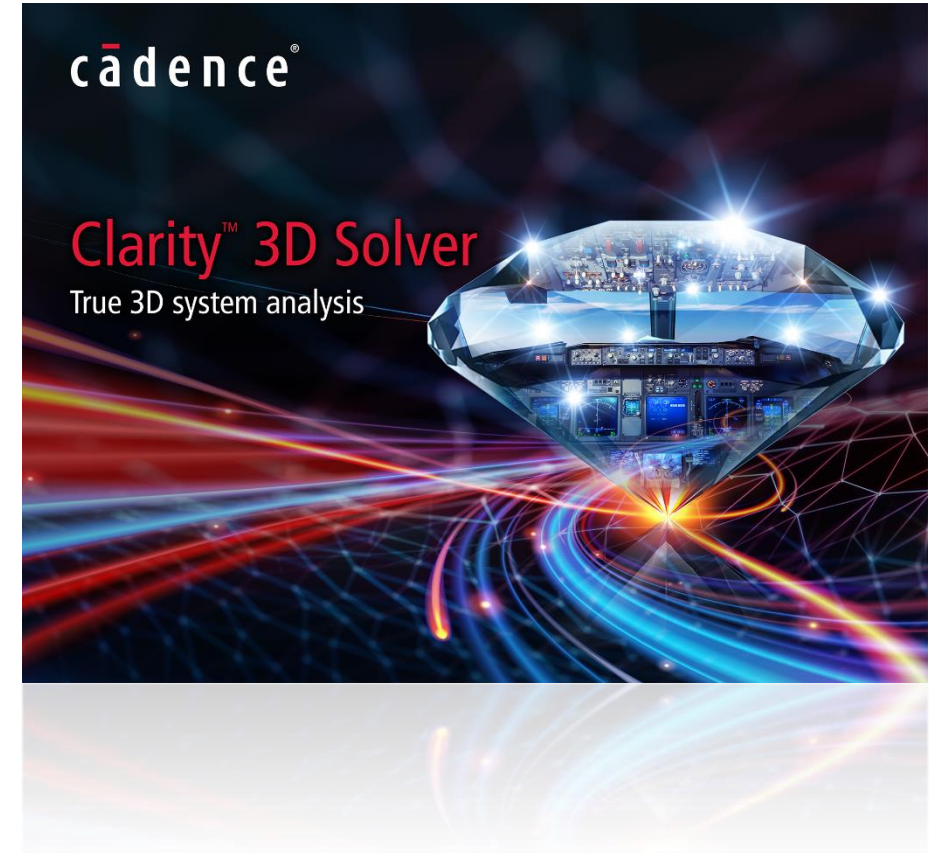
Классы электромагнитной совместимости FCC - формулы

- В маршруте проверки ЭМС PowerSI 2019 EMC/EMI Simulation (Radiation) Flow's Radiation View, для пользовательских классов ЭМС можно внести не только константы, но и формулы как **функция от частоты**.



Новый продукт: Clarity 3D Solver

- Cadence® Clarity™ 3D Solver
 - Первый продукт в линейке системного анализа Cadence, создающий технологию с ускорением производительности до 10 раз, с виртуально безграничной емкостью и уникальной точностью
 - Архитектура позволяет запускать решатель на сотнях ЦПУ, и оптимизирована и для облачных, и для кластерных вычислений
 - Реальная полноразмерная 3D экстракция модели устраняет риски потери точности при моделировании структур
 - Легко импортирует данные из проектов типовых САПР корпусов ИС и печатных плат, и обеспечивает уникальную интеграцию с САПР Cadence

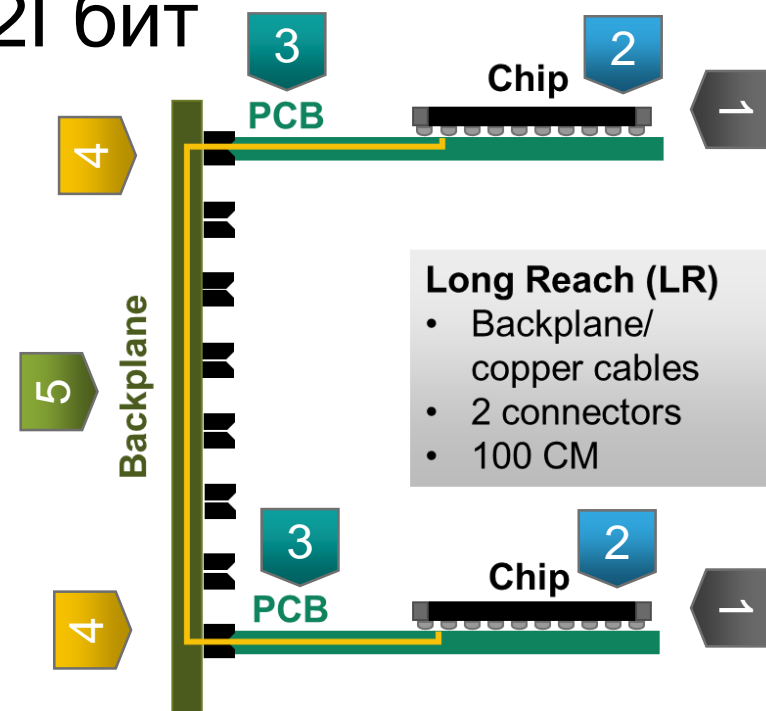


Clarity 3D Solver – беспрецедентная точность и производительность моделирования

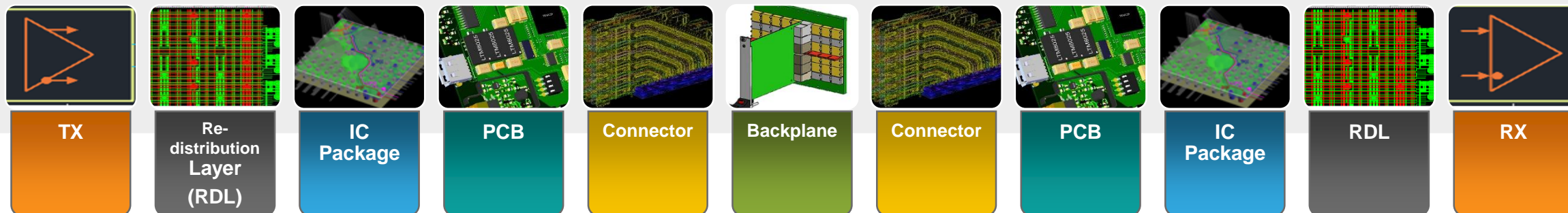
Проблемы моделирования интерфейсов 112Гбит

Разработчикам нужны точные модели интерфейсов

1. IC Redistribution Layer: Детальная трассировка во всех слоях
2. IC Package: Bumps, balls, routing, vias, plus the signal return path
3. Печатная плата: Фанаут, отверстия, падстеки, возвратные пути
4. Разъемы: Очень сложные механические структуры
5. Бэплейны: Печатные платы 30 и более слоев с бэкдриллом



With 112G LR, there is no margin for error induced by short-cuts; true 3D is required



Решатель Clarity 3D Solver

3D решение Cadence следующего поколения



Уникальная
точность



Параллельность
вычислений



Ускорение
до 10 раз

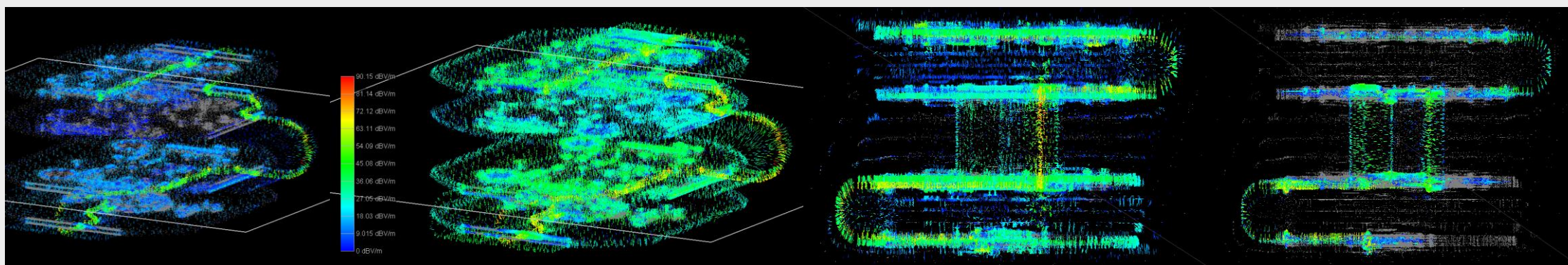
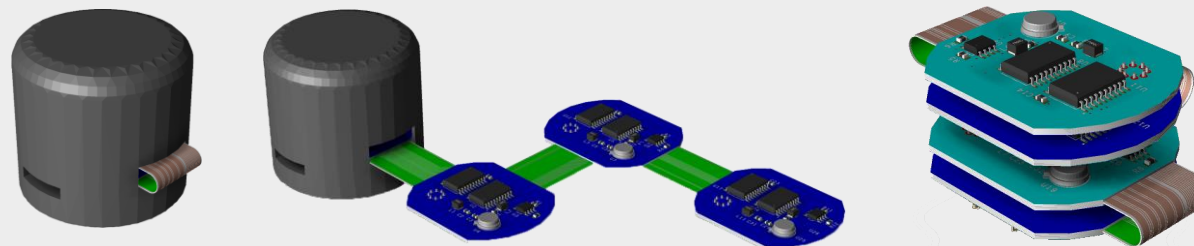


Интеграция с
САПР Cadence



Также на
CloudBurst™
Platform

Истинная 3D



Clarity в сравнении с традиционными симуляторами: Сравнение Multi-CPU Parallelism

Традиционные симуляторы

- Начальное разбиение и адаптивное разбиение на ячейки выполняется на одном компьютере
 - Адаптивное разбиение становится узким местом
- Раскачивание по частоте передается на другие компьютеры
 - Много-частотное распределение точек не позволяет повысить пропускную способность
- **Требует множество терабайтных компьютеров для симуляции не очень больших структур**

Clarity™ Distributed Processing

- Распределение является результатом уникального алгоритма декомпозиции пространства
- Адаптивное разбиение на ячейки распределяется на все компьютеры
- Раскачивание по частоте передается на все компьютеры
- **Огромные структуры могут быть промоделированы на кластере 32-гигабайтных компьютеров**

A blue-tinted 3D wireframe rendering of a complex mechanical assembly, possibly a motor or a similar device, viewed from an isometric perspective. The structure consists of multiple rectangular blocks and cylindrical components, all defined by a grid of thin white lines. The background is a dark blue gradient with a subtle grid pattern.

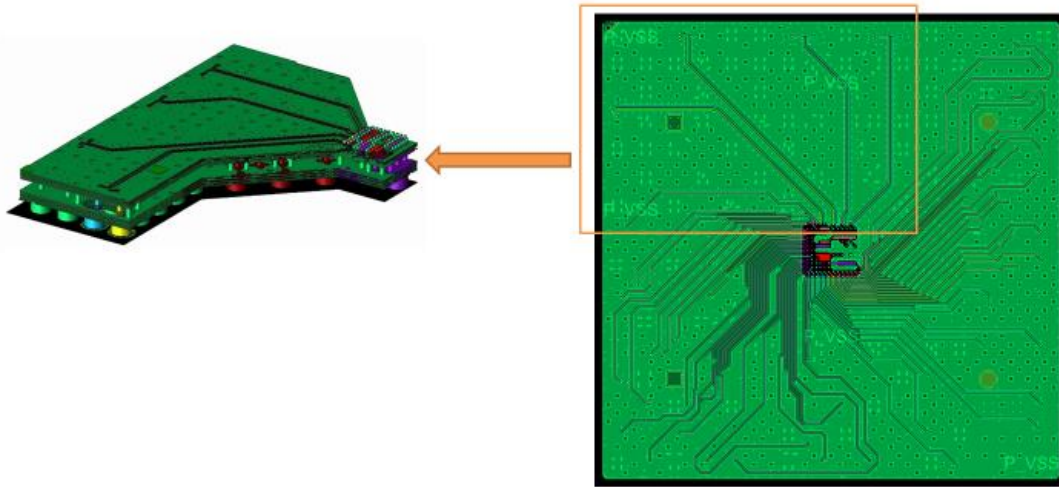
Clarity 3D Solver – истории успеха заказчиков

Примеры печатных плат	Ядра ЦПУ	Время Clarity	Другие системы	Ускорение Clarity	ОЗУ Clarity	Экономия памяти Clarity
USB Card	64	2.3ч	14.5ч	6.3X	12.8 GB	85%
Smart Speaker	32	22.1ч	168ч	7.6X	25.1 GB	88%
Multi-Processor Communications PCB	240	12.7ч	140ч	11X	34 GB	90%
PCIe: Package + PCB	32	12.2ч	75ч	6.2X	24 GB	86%
Rigid-Flex PCB	200	8.7ч	Не может	N/A	48 GB	N/A
Memory Board	128	11.1ч	94ч	8.5X	34 GB	91%
DIMM Card	240	7.6ч	91ч	12X	32 GB	83%
Flex PCB	320	7ч	138ч	19.7X	32 GB	86%

История успеха клиента: Socionext

56G-PAM4 Package HSIO Design Flow

Design Flow Example: MCM Extraction of 56G PAM-4 Section of Pkg



©2019 Socionext Inc. All rights reserved

58

socionext™

Design was driven by return loss, insertion loss, and crosstalk requirements

IC Package for leading-edge datacenter application
Challenge: Modeling 56G interface

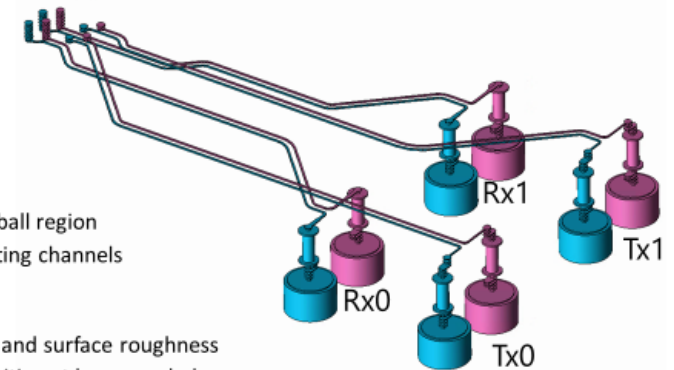
56G-PAM4 Package HSIO Design Flow

- 56G PAM-4 High speed IO (HSIO) net design primarily driven by the following impairments

- Return losses
 - ✓ bump breakout
 - ✓ pkg ball transitions

- Crosstalk
 - ✓ Microvia coupling in bump region
 - ✓ Transition via coupling in the pkg ball region
 - ✓ Edge-coupling along adjacent routing channels

- Insertion Loss
 - Influenced by material properties and surface roughness
 - "Ripples" influenced by discontinuities at bump and pkg ball transitions



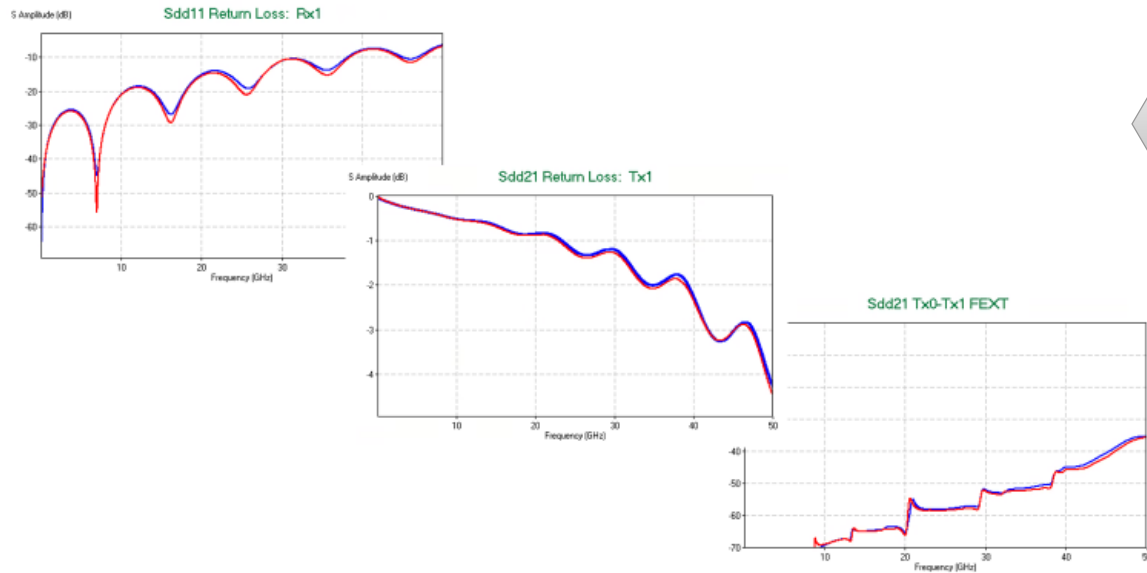
©2019 Socionext Inc. All rights reserved

59

socionext™

История успеха клиента: Socionext

Global Model Extraction: Final S-Parameters



©2019 Socionext Inc. All rights reserved

88

socionext™

Clarity 3D Solver matches the accuracy of legacy 3D solvers

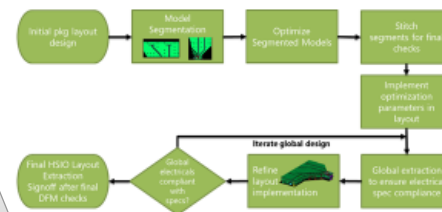
Design methodology with Clarity 3D Solver reduced simulation time from 88 hours to 12 hours – 7.3X speedup!

Full presentation from Socionext is available on Cadence.com

Comparison: Traditional Flow vs. Clarity 3D Solver Flow

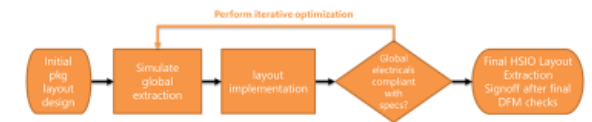
Traditional 3D Expert Flow

- Segmentation Required



Clarity 3D Solver Flow

- No Segmentation Required
- Accelerates HSIO Package Design by 7.3x



	3D-EM Traditional Segmentation Flow	Clarity Accelerated Prototyping Flow
Model Segment Optimization	28 Hours	-
Global Model Extractions/ Optimizations	60 Hours	12 Hours
Total Sim Design Time	88 Hours	12 Hours

©2019 Socionext Inc. All rights reserved

91

socionext™

Clarity 3D Solver снижает затраты на вычислительные ресурсы

- **On Premises computing***

- 2 Xeon CPUs, @2.3GHz, 16 cores/CPU

On Premises Computing	Clarity Solver	Legacy Tool
Memory	128 GB	1 TB
Total Cores	32	32
Cost	\$12K	\$40K



Clarity 3D solver saves 70% of on-premises computing

- **Cloud Computing****

- AWS: Amazon EC2 Instances

Cloud Computing	Clarity Solver	Legacy Tool
Memory	256 GB	1 TB
Total Cores	64	64
Hourly Cost	\$3.20/ hour	\$6.67/ hour
Socionext Example	12 × 5 = 60 hours	88 × 5 = 440 hours
Total Cost	\$192	\$2935



Clarity 3D solver saves 93% of cloud computing cost

* Source dell.com (4/21/2019)

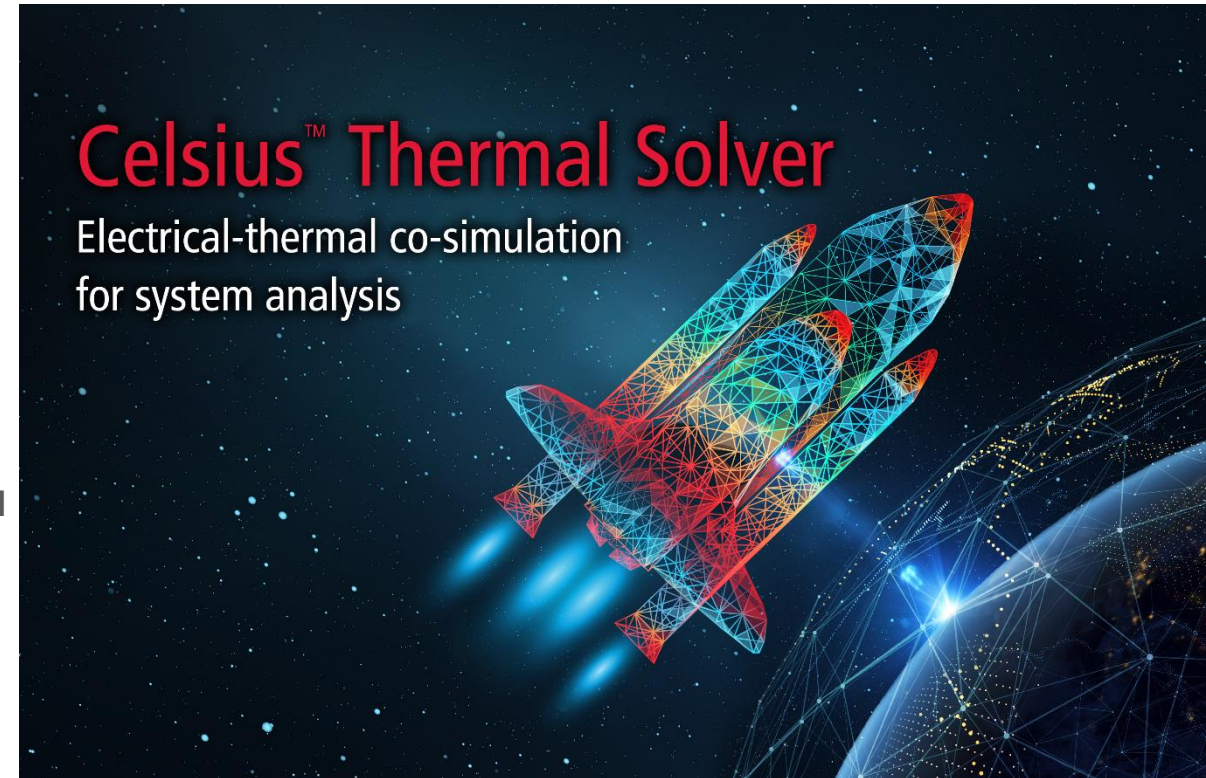
** Source amazon.com (4/21/2019)



Тепловое моделирование

Новый продукт: Celsius Thermal Solver

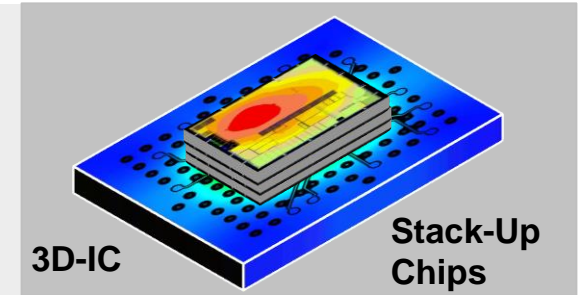
- Cadence Celsius™ Thermal Solver
 - Стратегия Intelligent System Design™, второй продукт для совершенствования анализа
 - Первый полный электро-тепловой симулятор для электронных систем
 - Инновационный анализ переходных процессов и традиционный анализ стабильных состояний для точного получения полного 3D теплового профиля
 - Параллельные вычисления, через облако или на кластере компьютеров, ускоряет производительность до 10 раз
 - Легкий импорт данных проекта из всех типовых САПР СБИС, подложек и печатных плат, уникальная интеграция с САПР Cadence



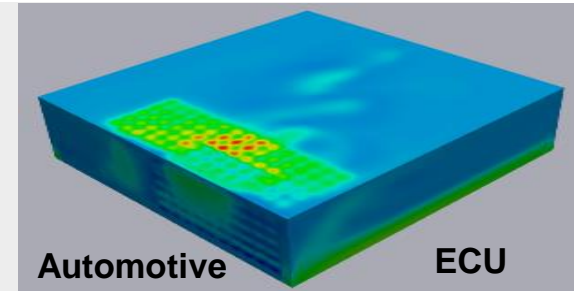
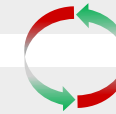
Celsius Thermal Solver – полная электро-тепловая совместная симуляция

Проблемы проектирования с учетом нагрева

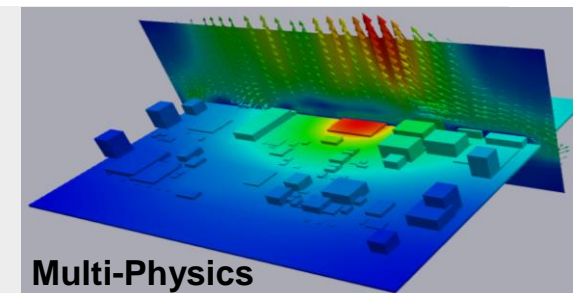
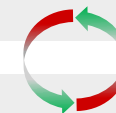
- Электрическое поведение систем зависит от температуры
 - Электрическое сопротивление и рассеяние тепла зависит от нагрева
 - Температура влияет на функционирование и надежность устройства



- Температурный профиль системы зависит от протекания токов
 - Электрическое сопротивление цепей является источником тепла
 - Появляются нежелательные горячие области из-за локального перегрева



- Моделирование переходных процессов становится критическим
 - Меняющиеся тепловые профили для разных режимов работы устройства
 - Тепловой анализ с учетом переключений в электрической схеме

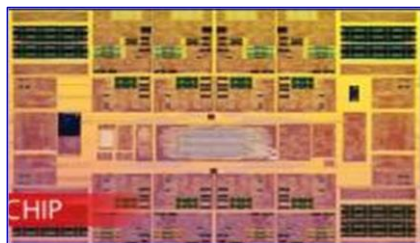


Системы нового поколения требуют новых решений для электро-теплового моделирования

Решение проблем теплового анализа систем

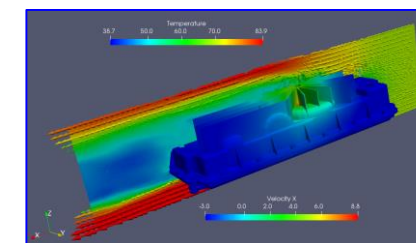
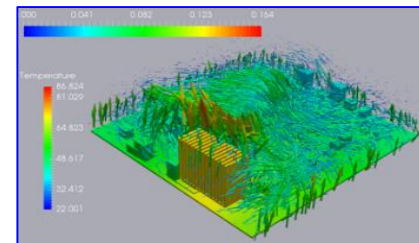
- Электро-тепловое моделирование ИС

- Точное тепловое профилирование с учетом физических процессов, режимов, слоев, включая 3D-ИС



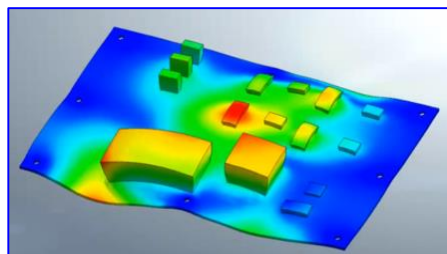
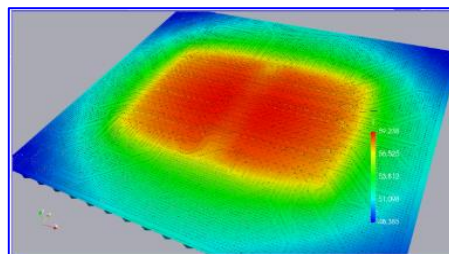
- Электро-тепловое моделирование систем

- Сложные 3D структуры, включая радиаторы, шасси и потоки воздуха



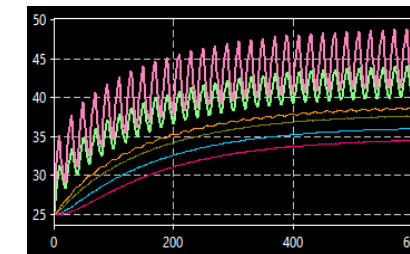
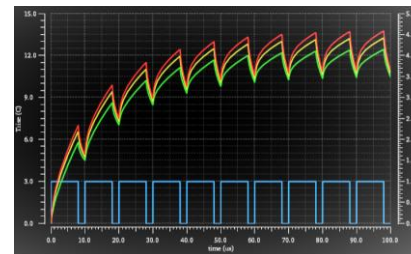
- Моделирование печатных плат и корпусов

- Температура перехода, горячие точки, электро-тепловое моделирование внутри печатных узлов



- Симуляция переходных тепловых процессов

- Отклики на различные режимы функционирования и тепловые профили, включая нагрев от сильных токов

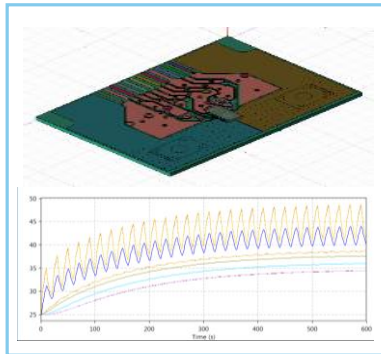


Celsius™ Thermal Solver enables iterative E-T co-simulation for all levels of electronic systems

Celsius Thermal Solver: Электро-температурное моделирование

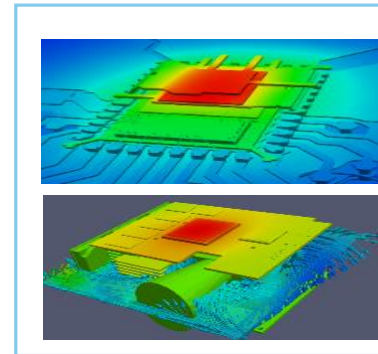
Полное решение с беспрецедентной точностью и производительностью

Статическая и переходная симуляция



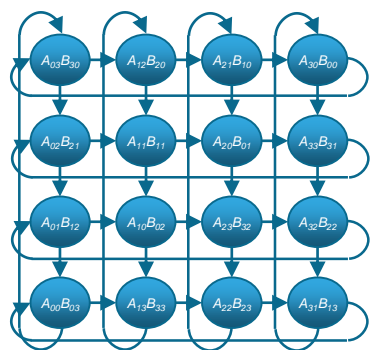
- Корпус - плата
- Зависит от режима, нагрев от тока
- Итеративная электро-тепловая симуляция

Электро-температурное моделирование



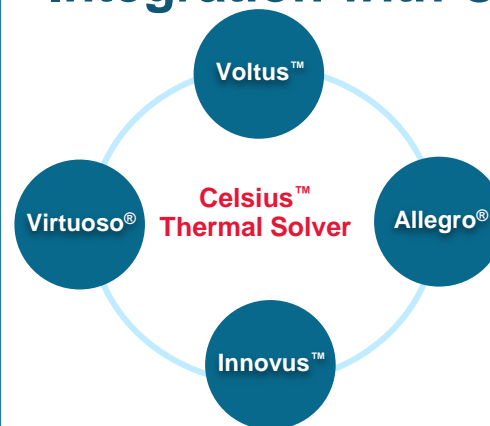
- Передача тепла
- 3D потоки
- Интеграция FEA-CFD (Finite Element Analysis, Computational fluid dynamics)

Параллельный матричный решатель



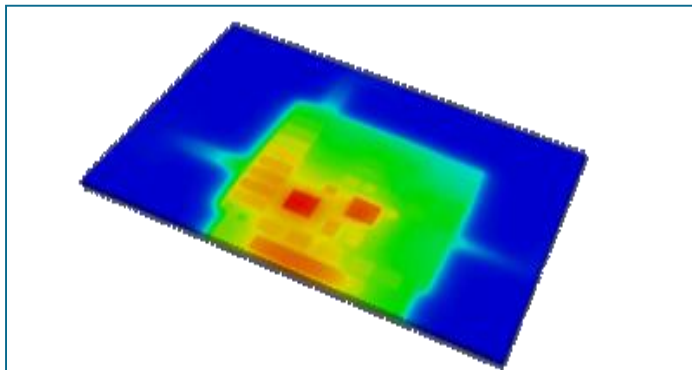
- Доказанная корректность алгоритма
- Линейная масштабируемость, пригодность для облака
- Нет потерь точности

Integration with Cadence® Design Platforms

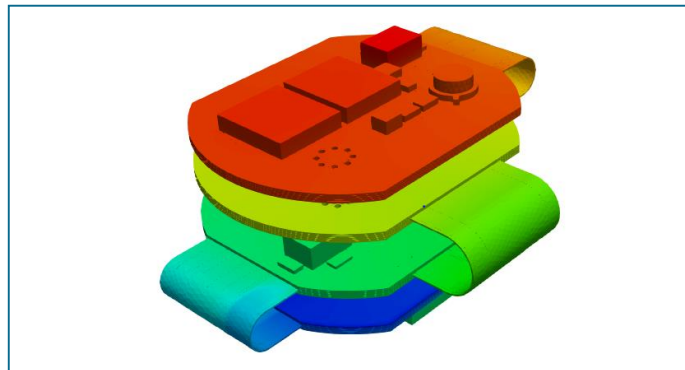


- Одиночные ИС, 3D-ИС
- Корпуса ИС, печ. платы
- Шасси, шкафы, системы

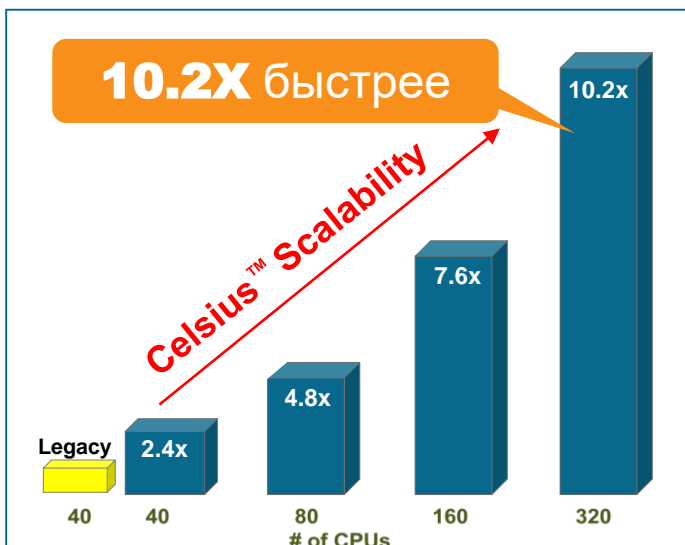
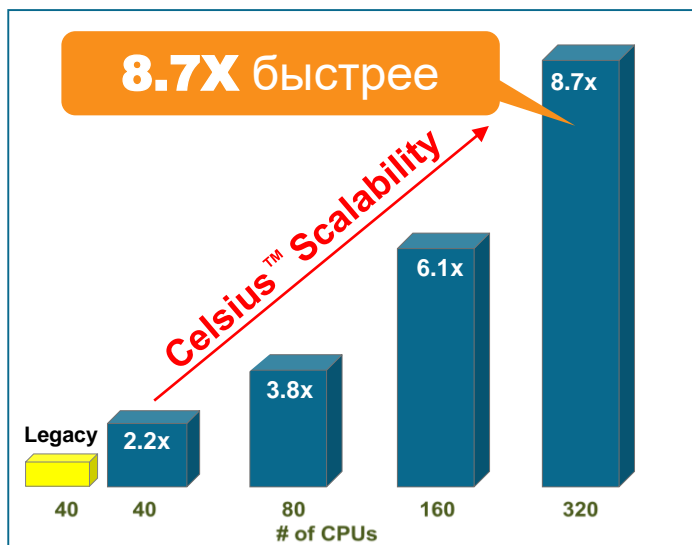
Истории успеха – большие и сложные проекты



Число ячеек: 108,190,440



Число ячеек: 98,910,040



Точность



- Полный электро-тепловой решатель в едином инструменте
- Точное профилирование чипов, передача тепла и потоки жидкости
- Совпадает с реальными измерениями

Производительность



- Параллельные многопоточные распределенные процессы, с масштабируемостью на сотни ЦПУ
- Линейное масштабирование внутри компьютерной сети
- Кластерные или облачные вычисления

Интеграция



- Кристалл-подложка-плата – проектирование и анализ
- Авто-оптимизация структур
- Ускоряет проектирование от ИС до системы

Celsius™ Thermal Solver – Позволяет анализировать большие системы, что ранее было невозможно

Celsius Thermal Solver: Первое законченное решение для электро-температурного моделирования



Точность - совпадает с лабораторными исследованиями



Параллельные вычисления и облачные решения



Производительность выше в 10 раз

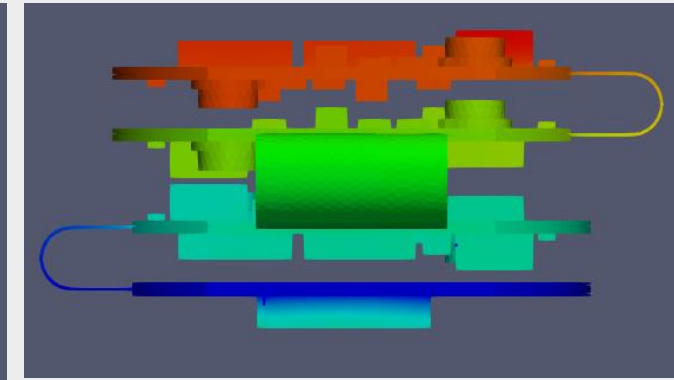
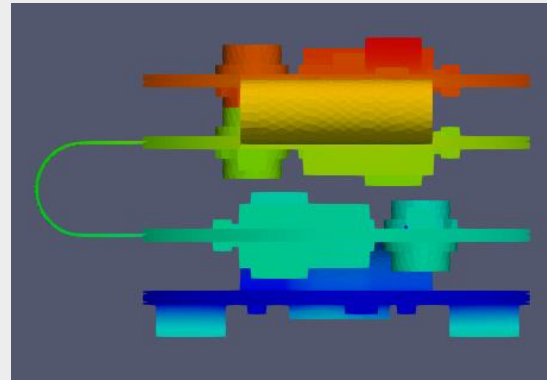
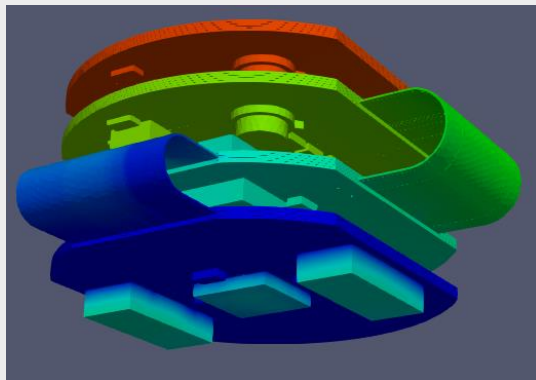
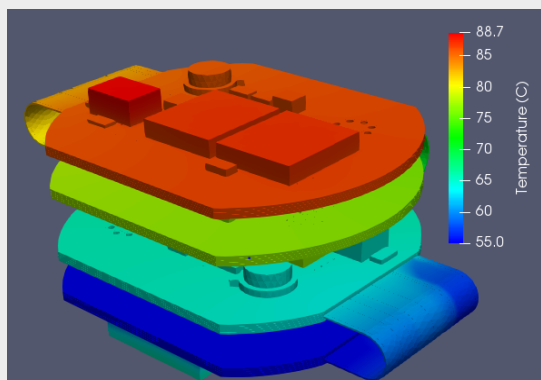
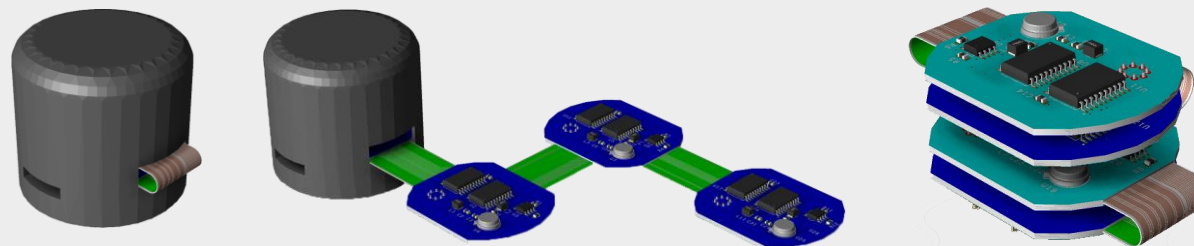


Интеграция с САПР Cadence®



Доступно через CloudBurst™ Platform

Transient Steady-State



Преимущества Celsius Thermal Solver



Законченное и цельное решение для переходных процессов и стабильных состояний при совместной электро-температурной симуляции



Ускоряет время выхода на рынок за счет точного моделирования, обеспечивая возможность оптимизации проекта



Считывает все данные проекта и бесшовно интегрируется с платформами Cadence® chip/package/PCB design

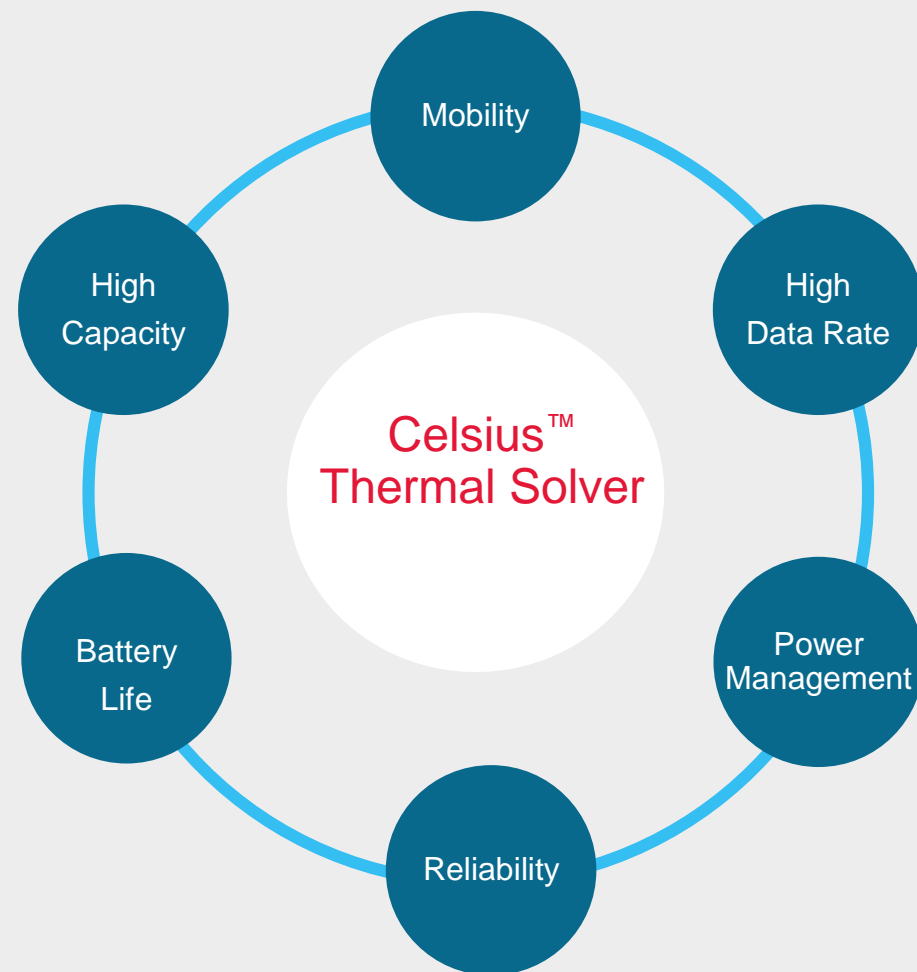
Advanced
3D-ICs

5G
Network

Mobile
Devices

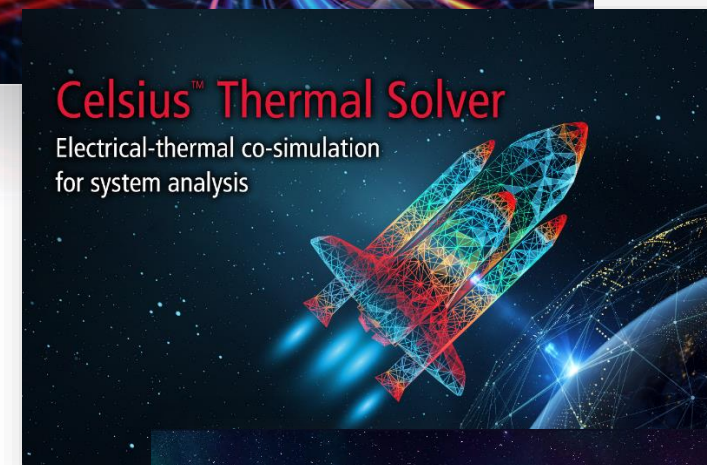
Electronic
Control Unit

Celsius™ Thermal Solver
Это ответ на ваши проблемы!



Заключение

- Sigrity 2019 – это значительный шаг вперед для клиентов Cadence, занимающихся обеспечением целостности сигналов, питания, и тепловым анализом печатных плат
- Новые продукты
 - Извлечение параметров плат: Clarity 3D Solver
 - Тепловой анализ: Celsius Thermal Solver
 - Целостность сигналов и питания: Sigrity Aurora
- Многие инструменты были обновлены в следующих областях:
 - Производительность
 - Удобство
 - Улучшения:
 - Точность
 - Функциональность
- Обращайтесь к локальным экспертам по Sigrity для внедрения и получения более детальной информации, по новым технологиям, которые доступны вам в Sigrity 2019



Контакты:

Александр Акулин, технический директор

ООО «ПСБ Софт», Москва, официальный дистрибьютор

www.pcbsoft.ru

info@pcbsoftware.com

+7 (800) 550-83-55

+7 (499) 390-18-48

The logo for Cadence, featuring the word "cadence" in a lowercase, bold, sans-serif font. A red horizontal bar is positioned above the letter "a". A registered trademark symbol (®) is located to the upper right of the letter "e".